

C6000 DSP的硬件设计与开发

刘国满



远见品质

pC6000最小系统的设计

pC6000的外设接口

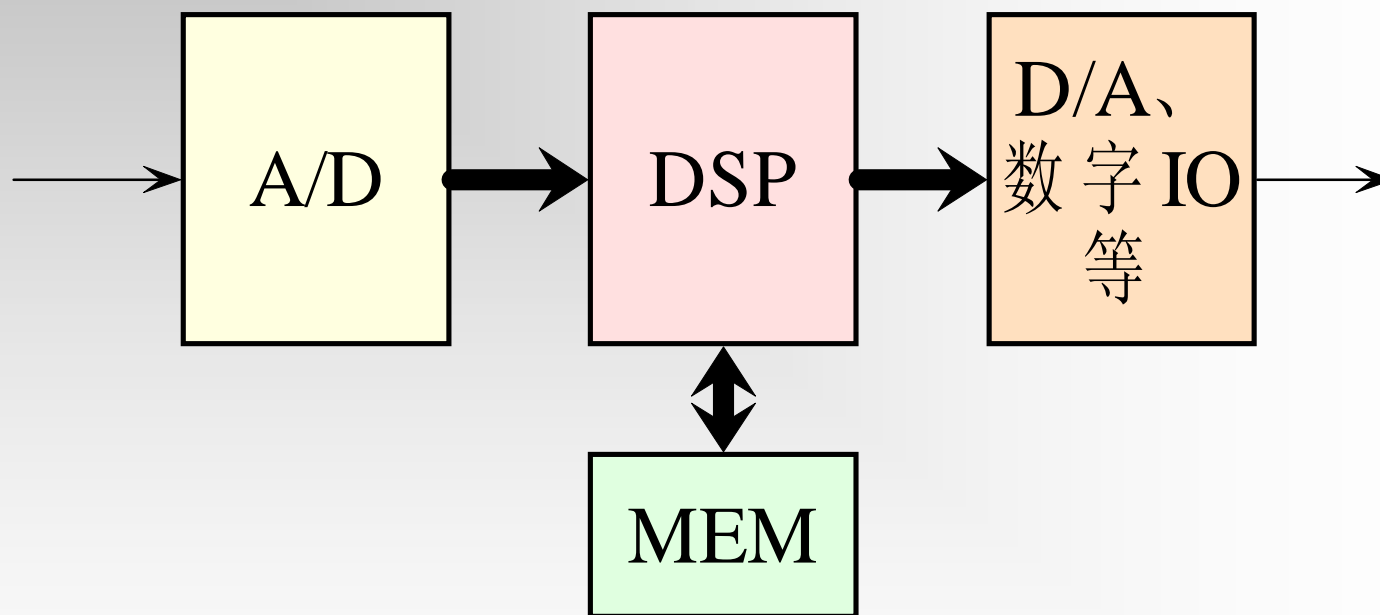
pC6000板级硬件开发流程

pDSP硬件设计学习方法

FAR(S)IGHT

远见品质

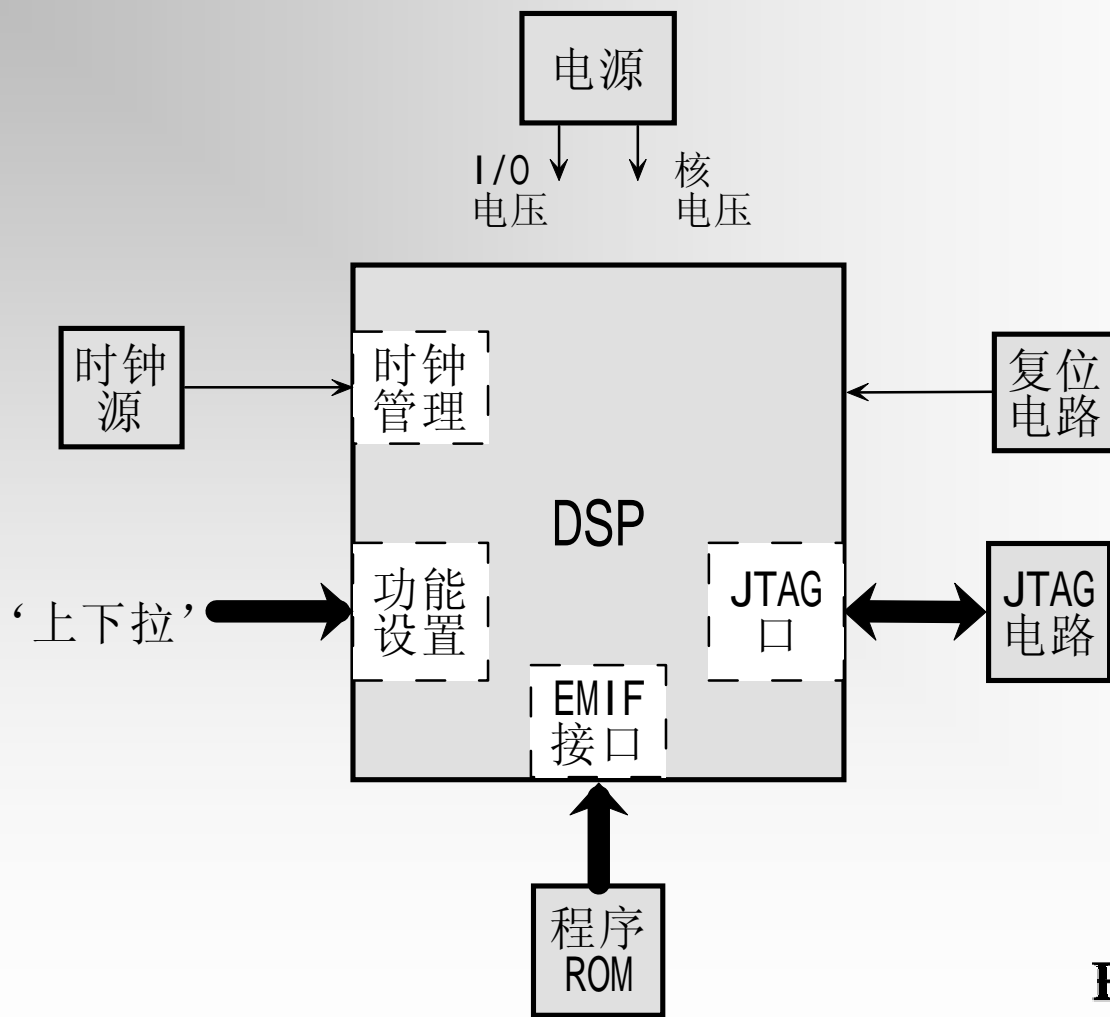
DSP系统组成



最小系统组成 (1)

一个DSP要能够正常的运行程序完成简单的任务，并能够通过JTAG被调试，它的最小系统应该包括DSP芯片、电源、时钟源、复位电路、JTAG电路、程序ROM以及对芯片所做的设置。

最小系统组成 (2)



远见品质

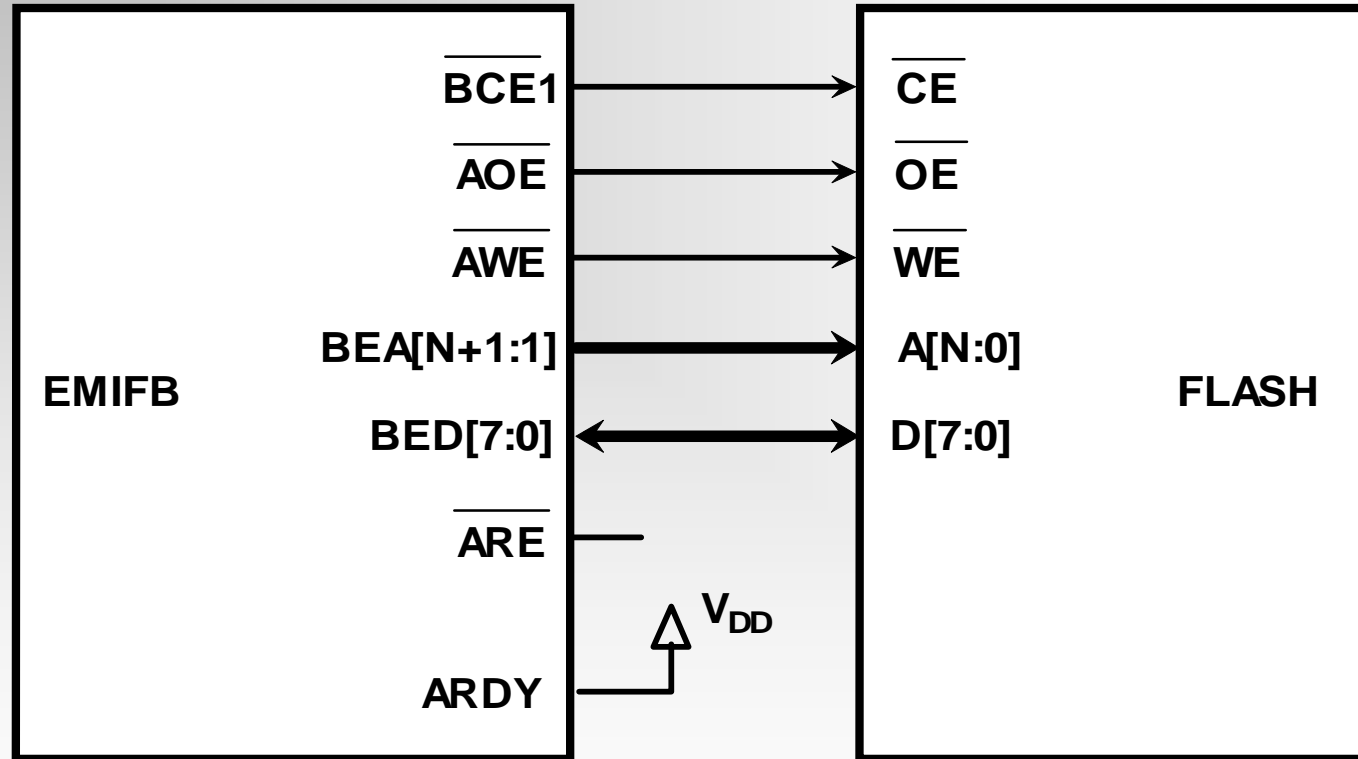
1. 功能设置 (1)

设置内容	设置管脚	数值	含义
片内锁相环模式	CLKMODE[1:0]	B'00'	1倍频
		B'01'	6倍频
		B'10'	12倍频
		B'11'	保留或20倍频
芯片的ENDIAN模式	BEA20	B'0'	Big Endian
		B'1'	Little Endian
芯片的引导模式	BEA[19:18]	B'00'	无加载
		B'01'	主机加载
		B'10'	8bit ROM加载
		B'11'	保留
EMIFA接口时钟选择	BEA[17:16]	B'00'	AECLKIN管脚外输入
		B'01'	1/4 CPU时钟
		B'10'	1/6 CPU时钟
		B'11'	保留

1. 功能设置 (2)

设置内容	设置管脚	数值	含义
EMIFB接口时钟选择	BEA[15:14]	B'00'	BECLKIN管脚外输入
		B'01'	1/4 CPU时钟
		B'10'	1/6 CPU时钟
		B'11'	保留
PCI接口由EEPROM自动配置	BEA13	B'0'	禁止(PCI_EN=0时必须禁止)
		B'1'	使能(初始化时刻McBSP2_EN必须为0)
UTOPIA接口使能	BEA11	B'0'	禁止(McBSP1使能)
		B'1'	使能(McBSP1禁止)
PCI接口使能	PCI_EN	B'0'	禁止
		B'1'	使能
HPI宽度选择	HD5	B'0'	HPI16
		B'1'	HPI32
McBSP2接口使能	McBSP2_EN	B'0'	禁止
		B'1'	使能

2. 程序ROM—接口



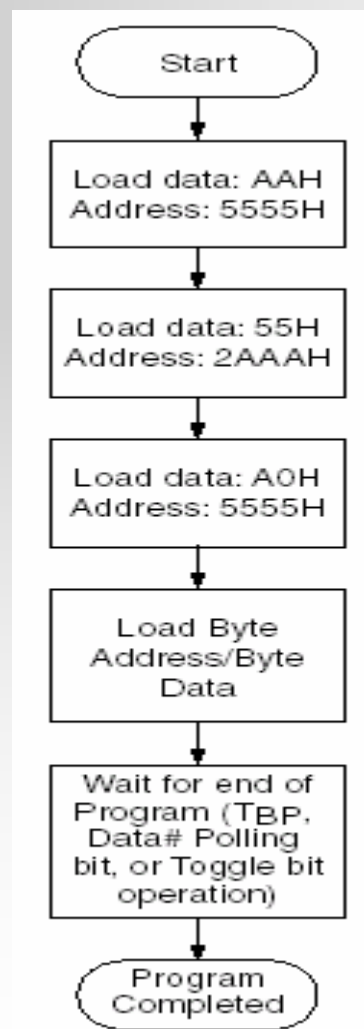
远见品质

2. 程序ROM—编程 (1)

SST39VFxxx的软件命令序列:

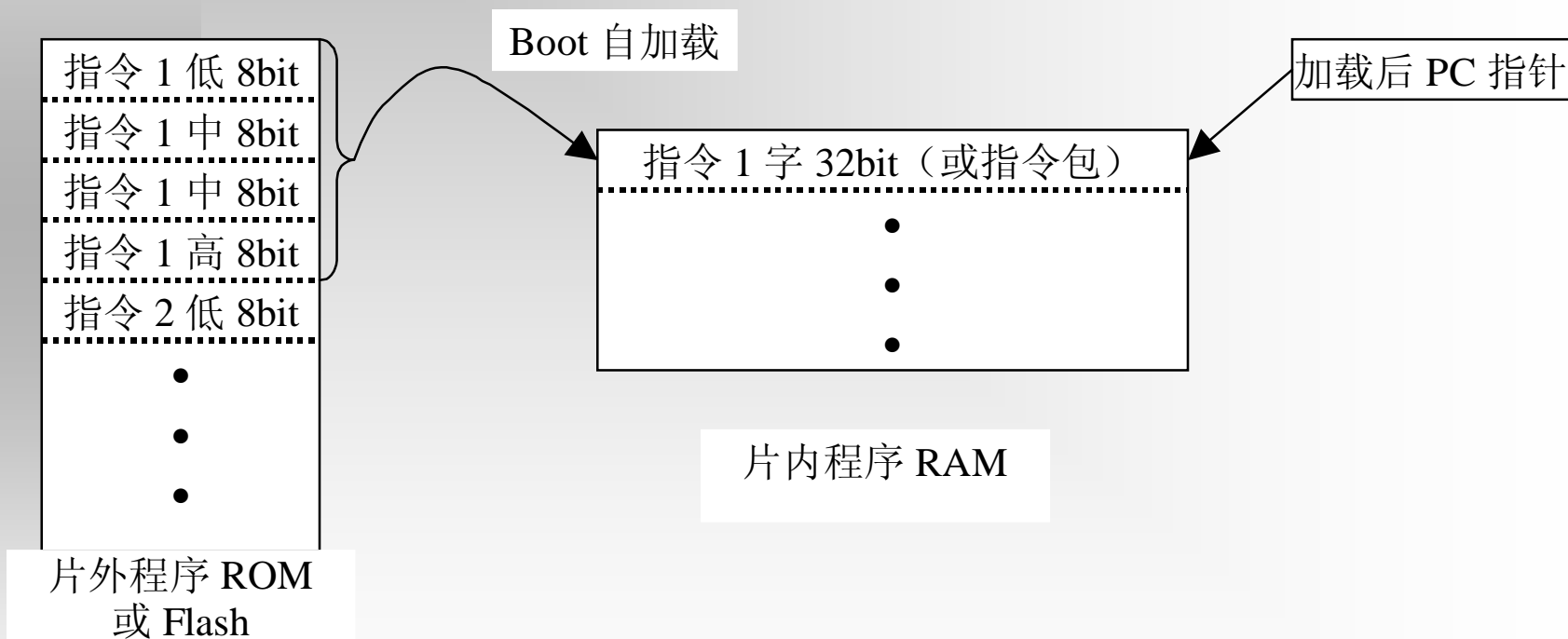
Command Sequence	1st Bus Write Cycle		2nd Bus Write Cycle		3rd Bus Write Cycle		4th Bus Write Cycle		5th Bus Write Cycle		6th Bus Write Cycle	
	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Byte-Program	5555H	AAH	2AAAH	55H	5555H	A0H	BA	Data				
Sector-Erase	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	SA _x	30H
Chip-Erase	5555H	AAH	2AAAH	55H	5555H	80H	5555H	AAH	2AAAH	55H	5555H	10H
Software ID Entry	5555H	AAH	2AAAH	55H	5555H	90H						
Software ID Exit	XXH	F0H										
Software ID Exit	5555H	AAH	2AAAH	55H	5555H	F0H						

2. 程序ROM—编程 (2)



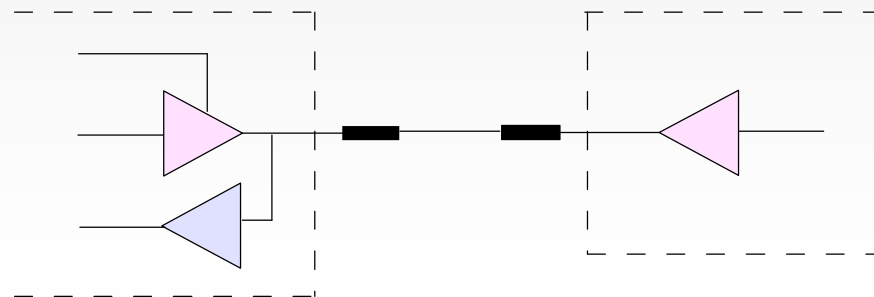
远见品质

2. 程序ROM—自加载



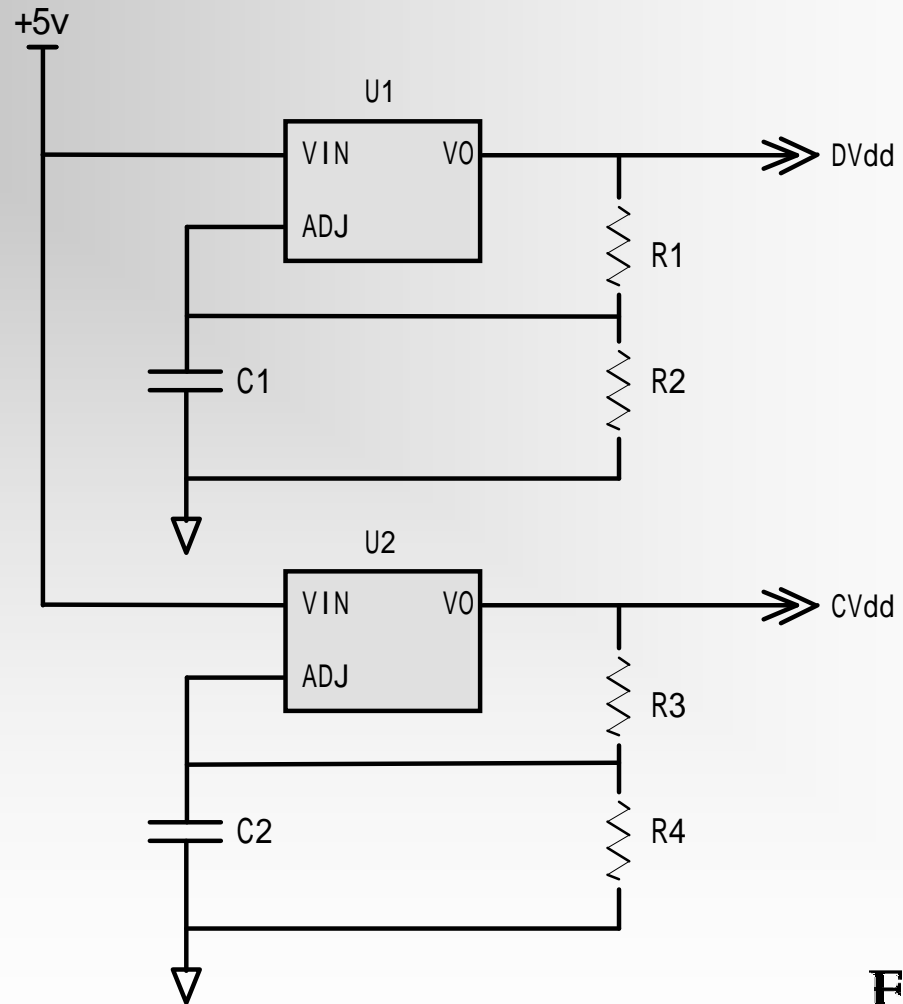
3. 电源—加电顺序需求

DSP的一些I/O管脚是双向的，方向由内核控制。I/O电压一旦被加上以后，I/O管脚就立即被驱动，如果此时还没加核电压，那么I/O的方向可能就不确定是输入还是输出。如果是输出，且这时与之相连的其它器件的管脚也处于输出状态，那么就会造成时序的紊乱或者对器件本身造成损伤。这种情况下，就需要核电压比I/O电压先加载，至少是同时加载。



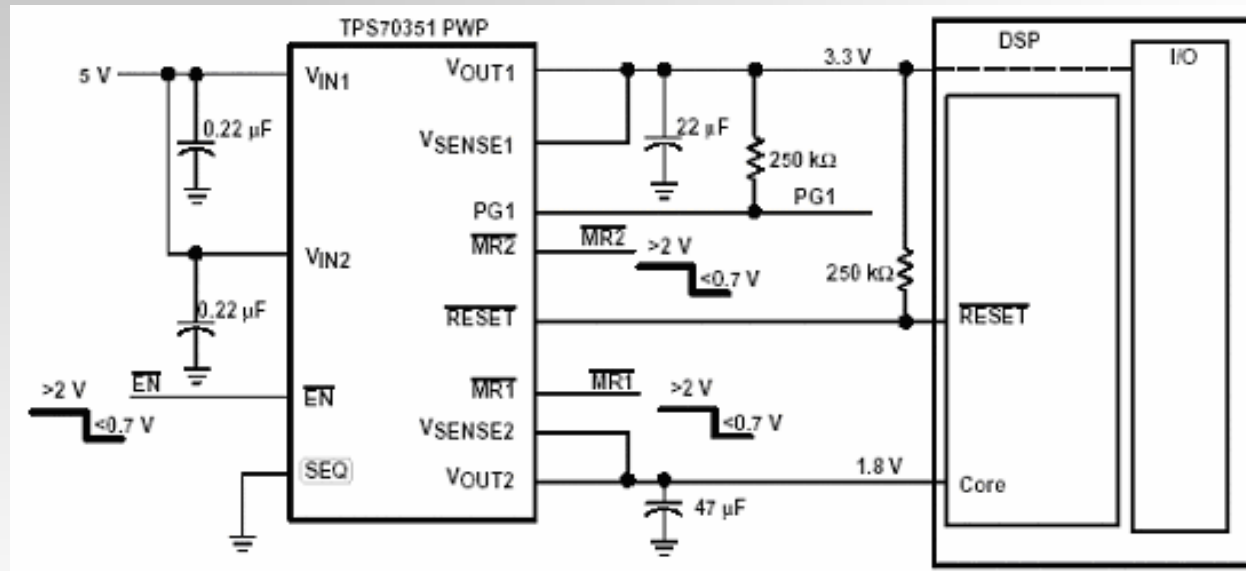
远见品质

3. 电源—控制加电顺序方法 (1)



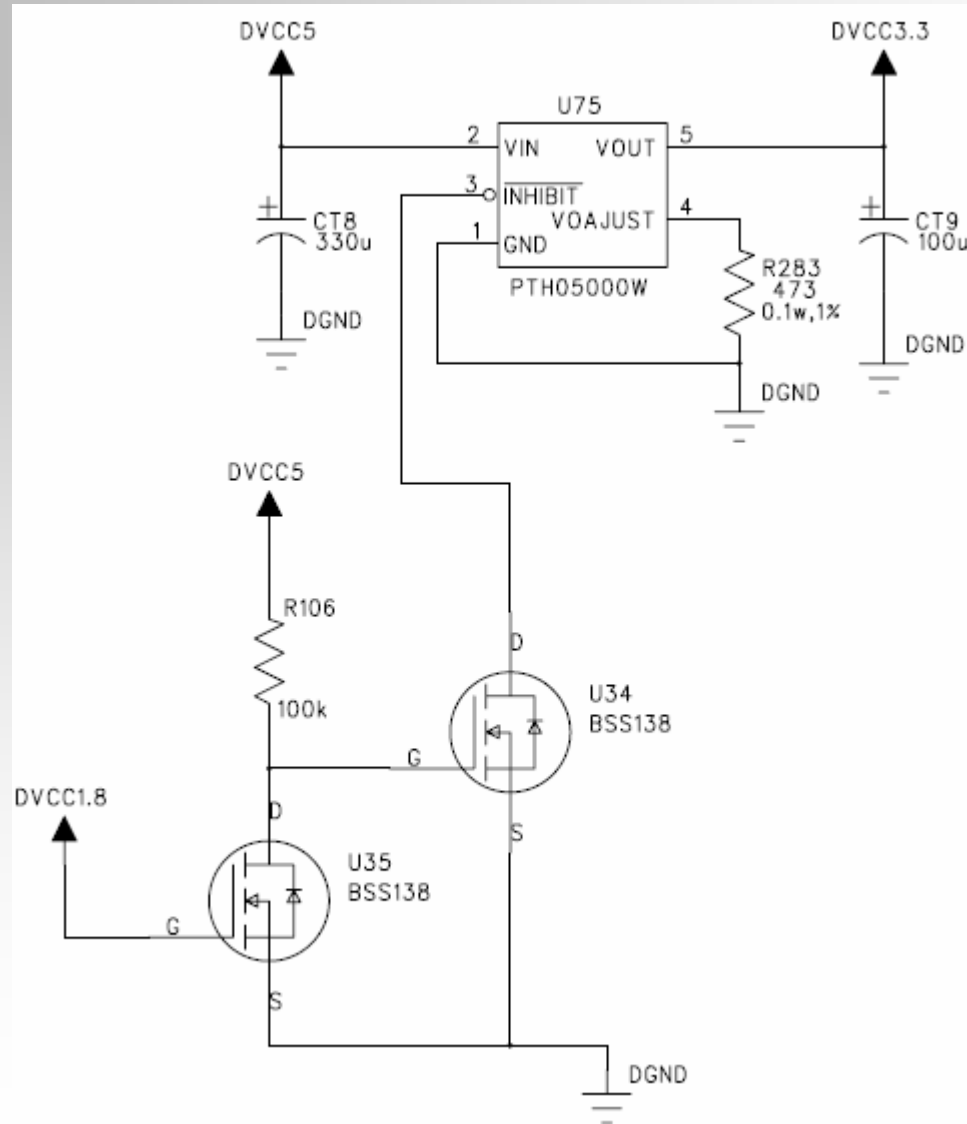
FAR SIGHT

3. 电源—控制加电顺序方法 (2)



[back](#)

3. 电源—控制加电顺序方法 (3)

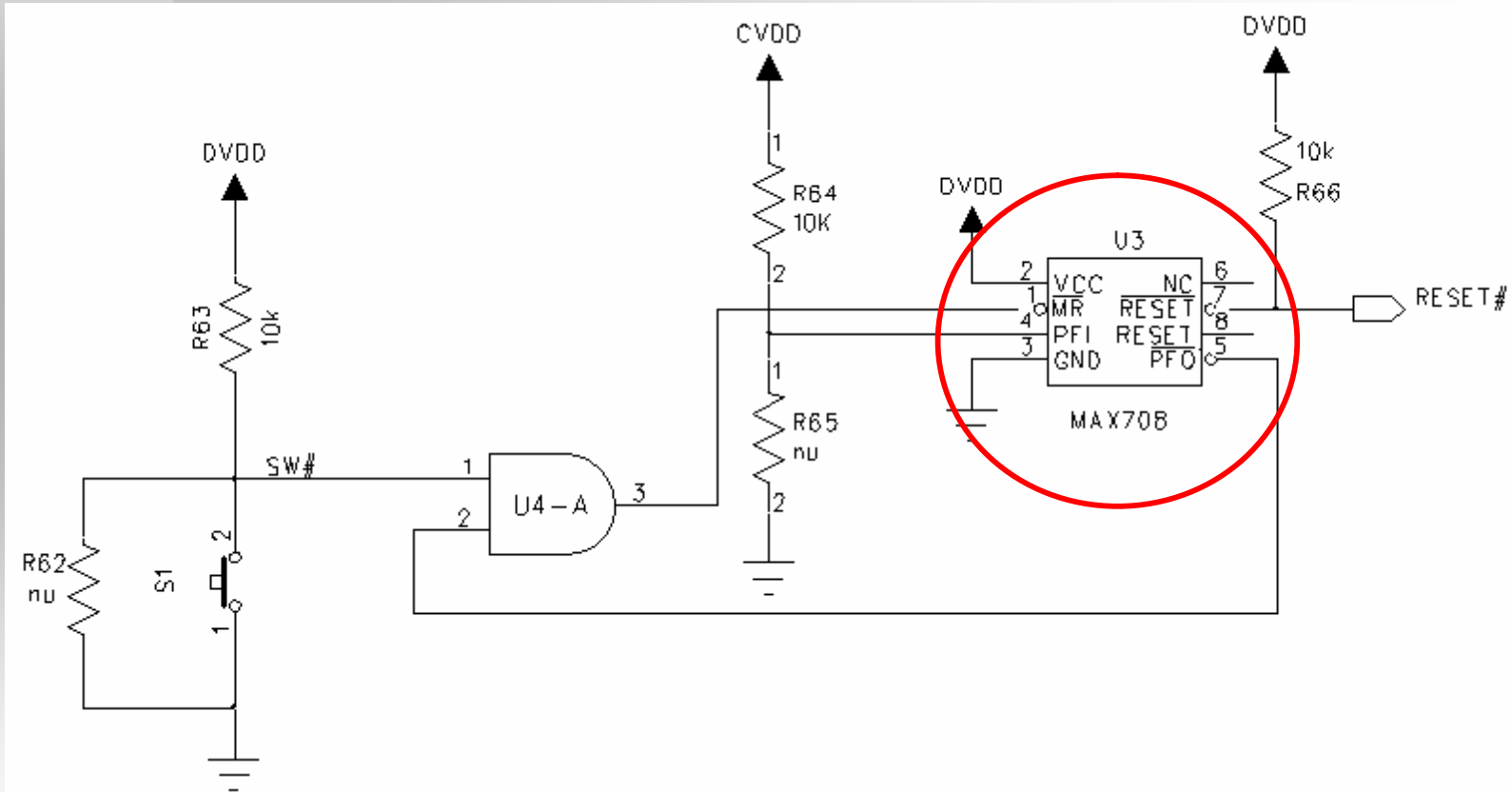


3. 电源—电源监测需求

为了保证C6000芯片在电源未达到要求的电平时,不会产生不受控制的状态,建议在系统中加入电源监测电路。该电路能确保在系统加电的过程中, DVdd和CVdd达到要求的电平之前, DSPs 始终处于复位状态。同时,一旦电源电压降到一定的门限值以下(例如88%),将强制芯片进入复位状态。

远见品质

3. 电源—电源监测方法



远见品质

3. 电源—功耗分析 (1)

Device	Core Voltage Level	Frequency	Typical Activity					
			Power at Frequency (W)			Power per Frequency (mW/MHz)		
			CPU	Internal	Internal + External	CPU	Internal	Internal + External
C6201B	1.8 V	200 MHz	0.4	1.3	1.7	2.2	6.7	8.5
C6202	1.8 V	250 MHz	0.6	2.1	2.3	2.2	8.3	9.3
C6202B	1.5 V	250 MHz	0.2	1.1	1.4	0.9	4.4	5.5
C6203	1.5 V	300 MHz	0.3	1.3	1.5	0.9	4.4	5.1
C6204	1.5 V	200 MHz	0.2	0.8	1.2	0.9	4.0	5.8
C6205	1.5 V	200 MHz	0.2	0.8	1.2	0.9	4.0	5.8
C6211	1.8 V	150 MHz	0.3	0.9	1.1	2.2	6.0	7.2
C6701	1.8 V	167 MHz	0.6	1.4	1.8	3.8	8.6	10.5
C6711	1.8 V	150 MHz	0.6	1.1	1.3	3.8	7.5	8.8

3. 电源—功耗分析 (2)

Power Consumption at 50% High/50% Low Activity Details

50% High Power	50% Low Power	CPU and Memory			Peripherals				Core Total	I/O		I/O Total	TOTAL
		CPU	Internal Memory	Total	External Memory I/O	Peripheral Activity	Baseline Clocking	Total		Baseline	I/O Activity		
C6201B	Power (W)	0.45	0.37	0.82	0.07	0.01	0.44	0.52	1.34	0.10	0.26	0.36	1.70
200 MHz	% Total	26%	22%	48%	4%	1%	26%	31%	79%	6%	15%	21%	
C6202	Power (W)	0.56	0.62	1.18	0.04	0.01	0.84	0.89	2.07	0.10	0.16	0.26	2.33
250 MHz	% Total	24%	27%	50%	2%	0%	36%	38%	89%	4%	7%	11%	
C6202B	Power (W)	0.21	0.43	0.65	0.02	0.00	0.42	0.45	1.09	0.13	0.16	0.29	1.38
250 MHz	% Total	15%	31%	47%	2%	0%	30%	32%	79%	9%	12%	21%	
C6203	Power (W)	0.26	0.52	0.77	0.03	0.01	0.50	0.53	1.31	0.10	0.12	0.22	1.53
300 MHz	% Total	17%	34%	51%	2%	0%	33%	35%	86%	7%	8%	14%	
C6211	Power (W)	0.34	0.15	0.49	0.05	0.01	0.35	0.40	0.89	0.06	0.13	0.19	1.08
150 MHz	% Total	31%	14%	45%	4%	1%	32%	37%	82%	6%	12%	18%	
C6701	Power (W)	0.64	0.31	0.95	0.07	0.01	0.42	0.50	1.44	0.10	0.21	0.31	1.75
167 MHz	% Total	36%	18%	54%	4%	1%	24%	28%	82%	6%	12%	18%	
C6711	Power (W)	0.57	0.15	0.73	0.05	0.01	0.35	0.40	1.13	0.06	0.13	0.19	1.32
150 MHz	% Total	43%	12%	55%	4%	1%	26%	31%	86%	5%	10%	14%	

3. 电源—功耗分析 (3)

Power Consumption at 75% High/25% Low Activity

		CPU and Memory			Peripherals					I/O			
		CPU	Internal Memory	Total	External Memory I/O	Peripheral Activity	Baseline Clocking	Total	Core Total	Baseline	I/O Activity	I/O Total	TOTAL
50% High Power	50% Low Power												
C6201B	Power (W)	0.51	0.44	0.95	0.11	0.01	0.44	0.56	1.50	0.10	0.34	0.44	1.94
200 MHz	% Total	26%	23%	49%	5%	1%	23%	29%	78%	5%	17%	22%	
C6202	Power (W)	0.63	0.76	1.39	0.06	0.01	0.84	0.91	2.31	0.10	0.19	0.29	2.60
250 MHz	% Total	24%	29%	54%	2%	0%	32%	35%	89%	4%	7%	11%	
C6202B	Power (W)	0.24	0.53	0.78	0.03	0.00	0.42	0.46	1.23	0.13	0.19	0.32	1.55
250 MHz	% Total	16%	34%	50%	2%	0%	27%	29%	79%	8%	12%	21%	
C6203	Power (W)	0.29	0.64	0.93	0.04	0.00	0.50	0.55	1.48	0.10	0.12	0.22	1.69
300 MHz	% Total	17%	38%	55%	2%	0%	30%	32%	87%	6%	7%	13%	
C6211	Power (W)	0.38	0.18	0.56	0.07	0.01	0.35	0.43	0.99	0.06	0.06	0.25	1.24
150 MHz	% Total	31%	15%	46%	6%	1%	28%	35%	80%	5%	5%	20%	
C6701	Power (W)	0.77	0.37	1.14	0.10	0.01	0.42	0.53	1.67	0.10	0.10	0.37	2.04
167 MHz	% Total	38%	18%	56%	5%	0%	21%	26%	82%	5%	5%	18%	
C6711	Power (W)	0.69	0.18	0.87	0.07	0.01	0.35	0.43	1.30	0.06	0.06	0.25	1.55
150 MHz	% Total	45%	12%	57%	5%	1%	22%	28%	84%	4%	4%	16%	

3. 电源—器件选择

	供电功率	自身热耗	设计难以程度	电源质量	价格
线性电源芯片	小	大	易	好	低
开关电源芯片	大	小	难	相对差	低
电源模块	大	小	易	相对差	高

3. 电源—散热考虑

减小压差
提高效率

线性电源热耗: $P_D = (V_I - V_O) \times I$

$$V_I = 5v, V_O = 1.5v, I = 1A, P_D = 3.5w$$

开关电源热耗: $P_D = V_O \times I \times \frac{(1-h)}{h}$

$$h = 90\%, V_O = 1.5v, I = 1A, P_D = 0.167w$$

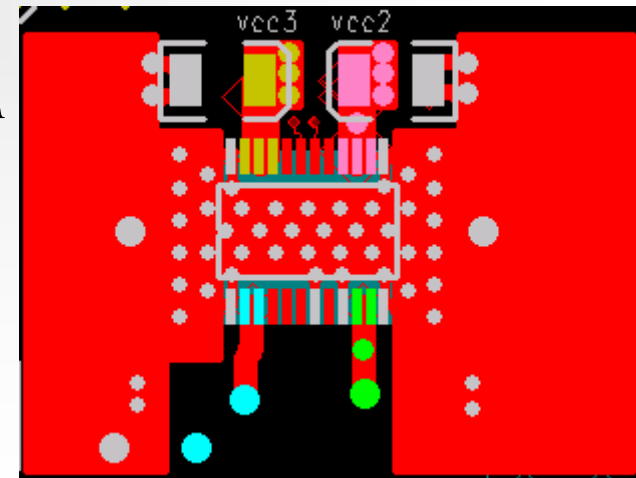
example:

DSP要求: $V_C = 1.8v, I_C = 1.28A, V_D = 3.3v, I_D = 88mA$

电源芯片: $25^\circ C$ 时, 芯片可承受2.5w热耗

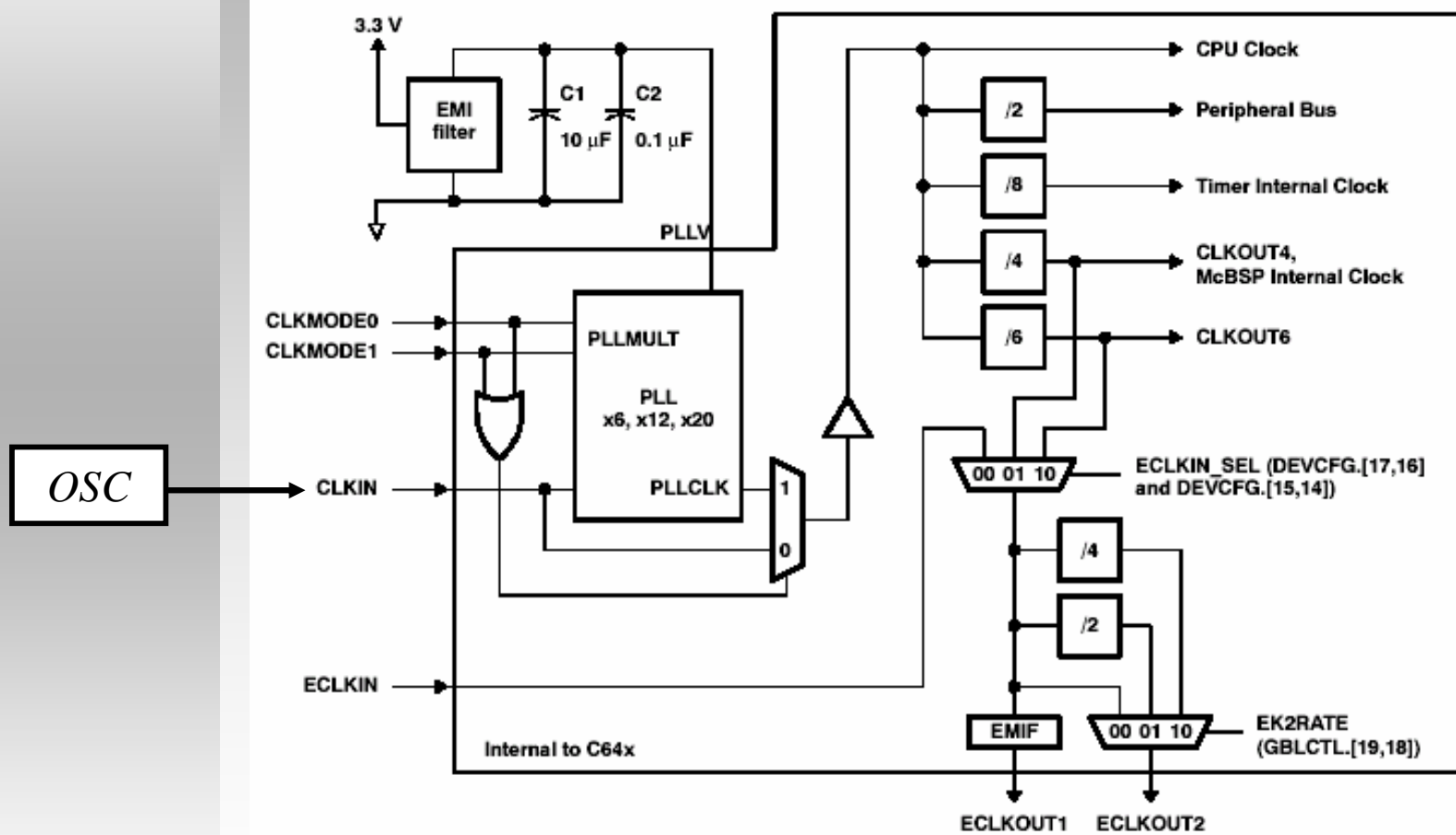
单5v供电时, $(5 - 3.3) \times 0.088 + (5 - 1.8) \times 1.28 = 4.2w$

5v, 3.3v供电时, $(5 - 3.3) \times 0.088 + (3.3 - 1.8) \times 1.28 = 2.1w$



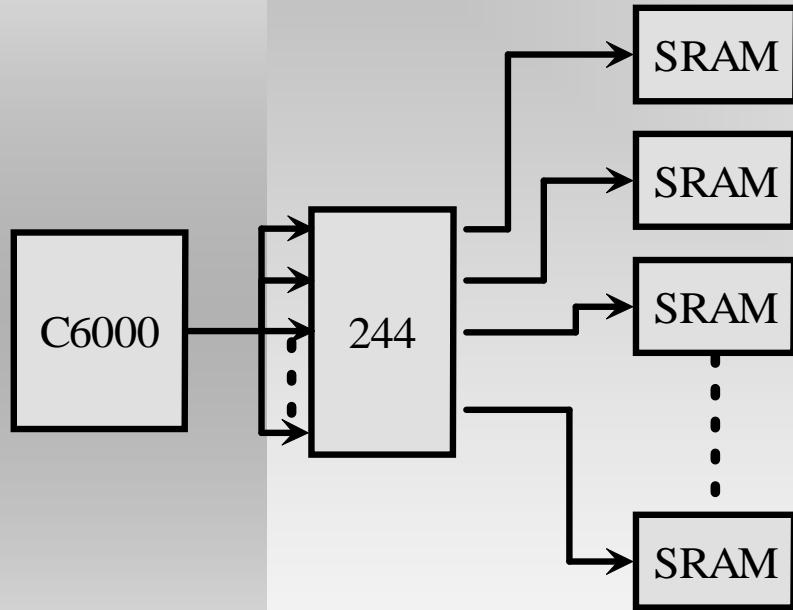
远见品质

4. 时钟—输入

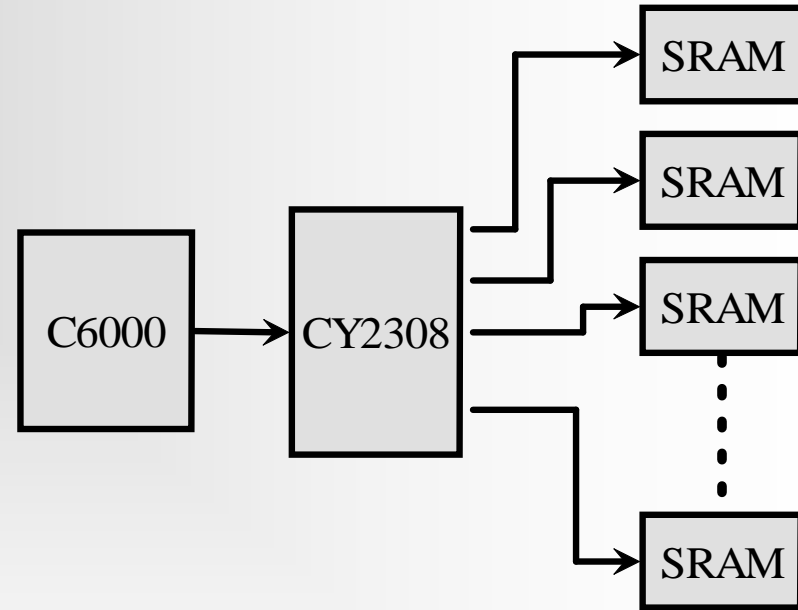


远见品质

4. 时钟—输出



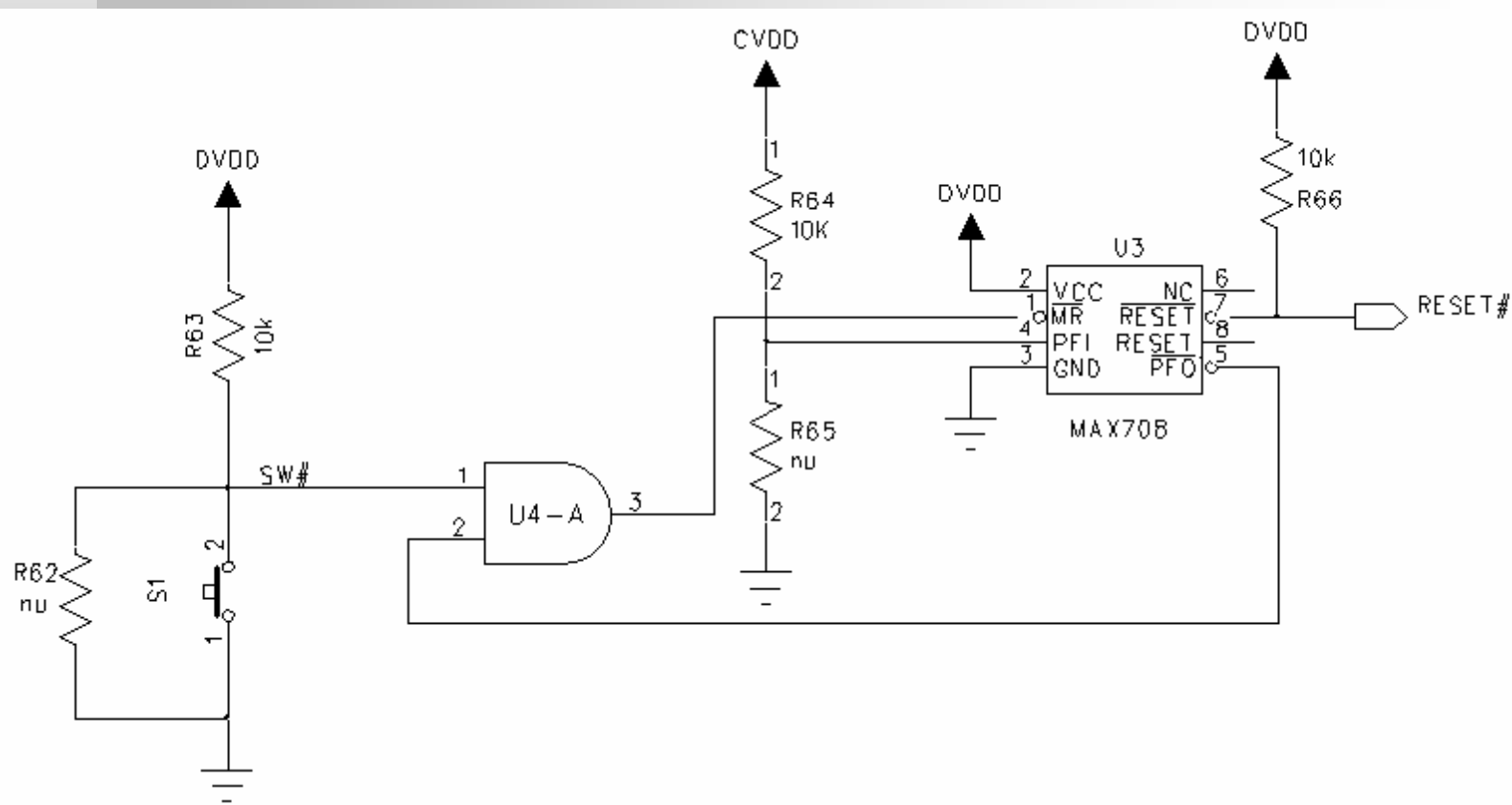
(a)



(b)

远见品质

5. 复位电路

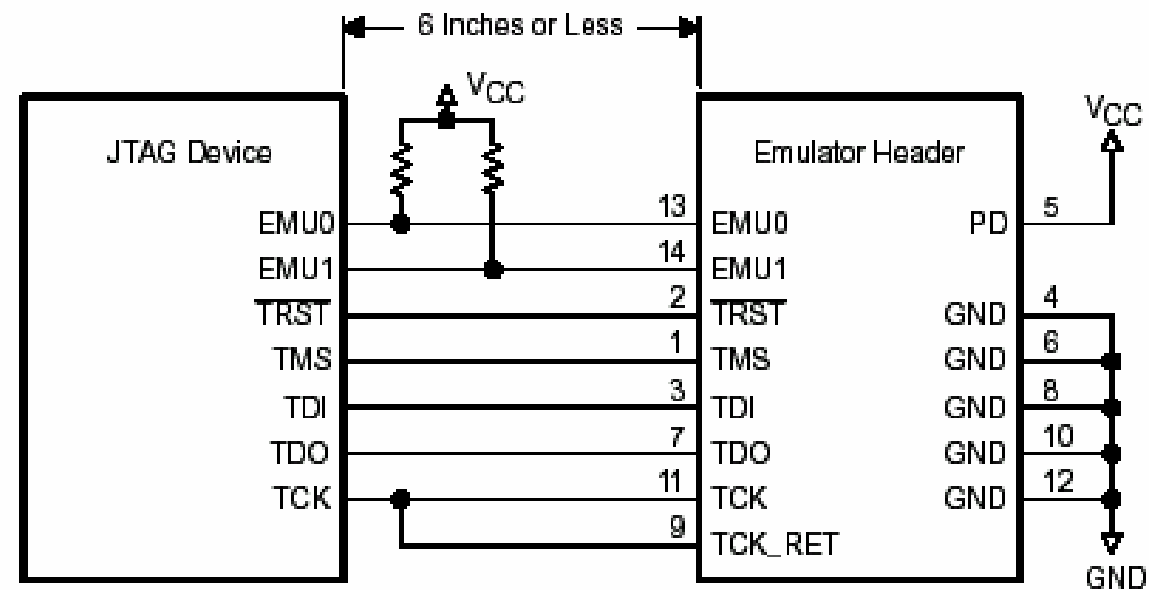


FAR SIGHT

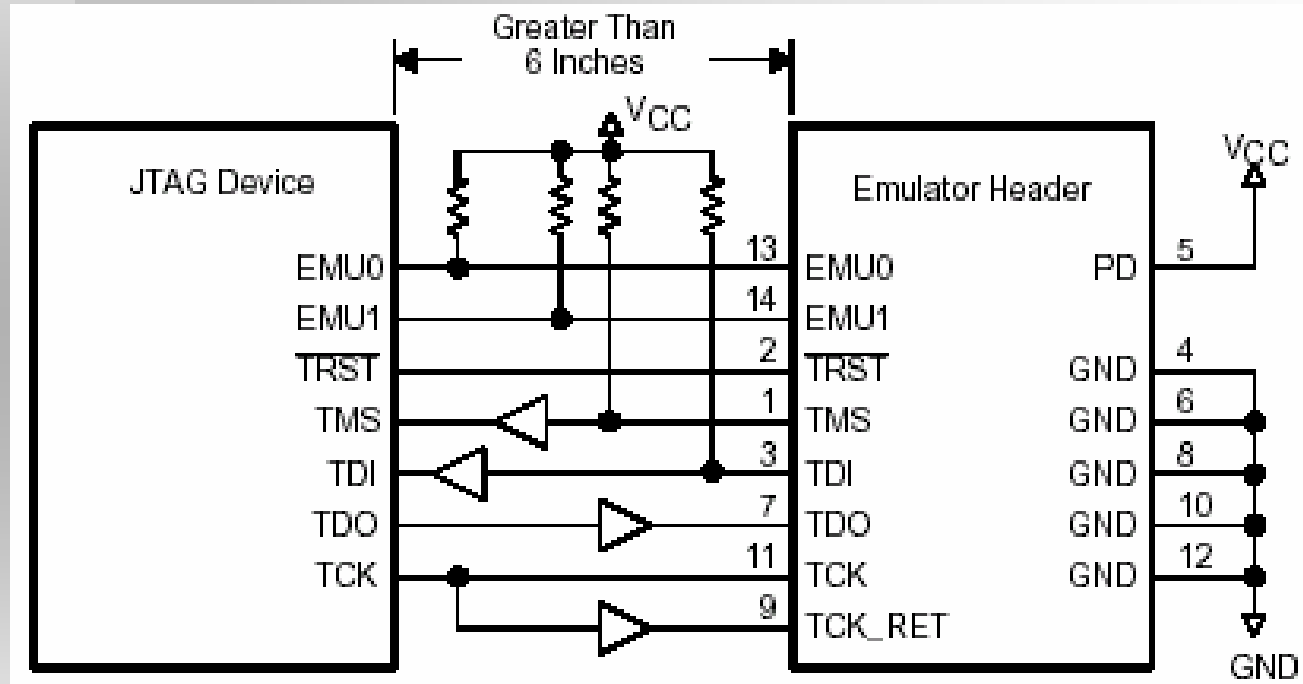
远见品质

6. JTAG 电路 (1)

TMS	1	2	$\overline{\text{TRST}}$
TDI	3	4	GND
PD (VCC)	5	6	no pin (key)
TDO	7	8	GND
TCK_RET	9	10	GND
TCK	11	12	GND
EMU0	13	14	EMU1

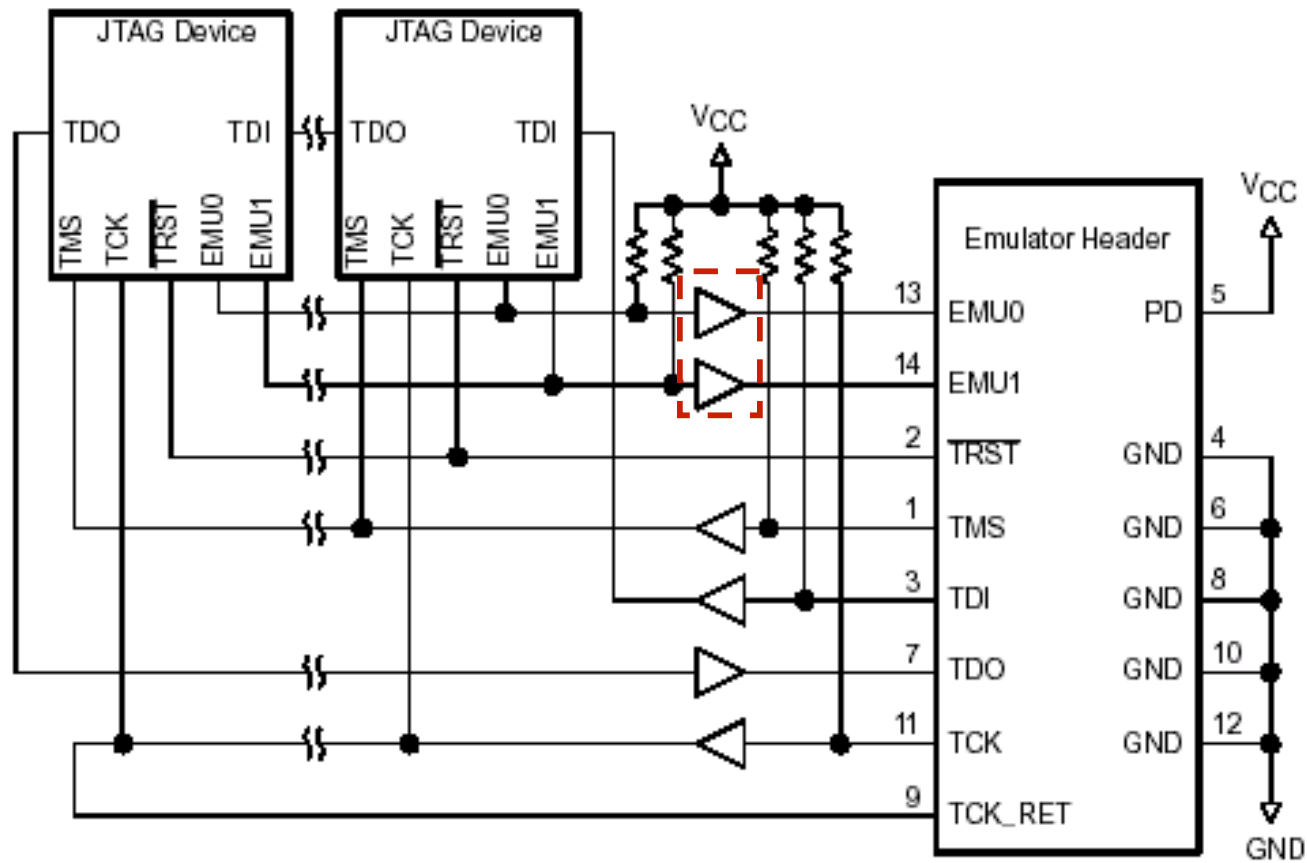


6. JTAG 电路 (2)



远见品质

6. JTAG 电路 (3)





远见品质

pC6000最小系统的设计

pC6000的外设接口

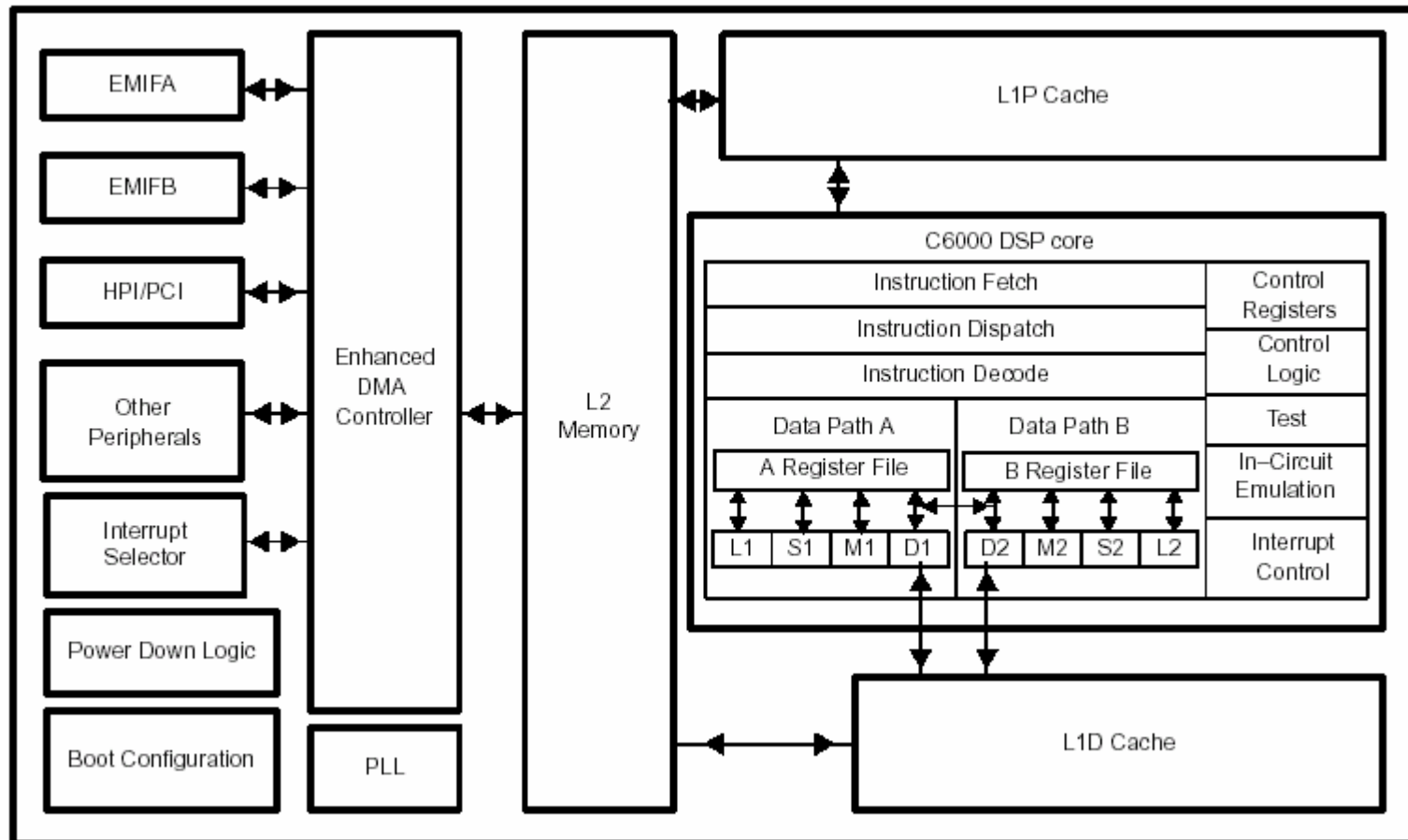
pC6000板级硬件开发流程

pDSP硬件设计学习方法

FAR(S)IGHT

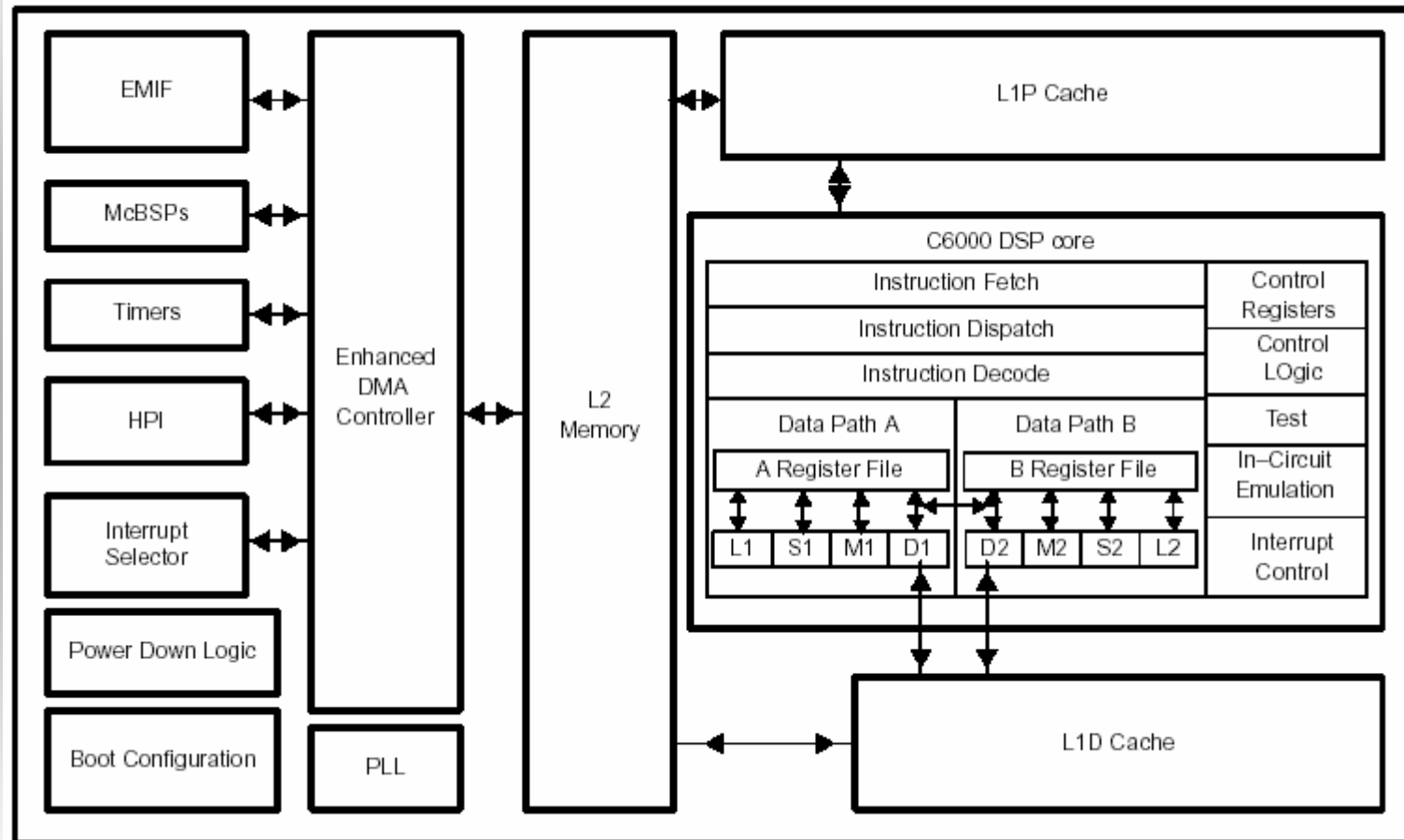
远见品质

C64x的结构



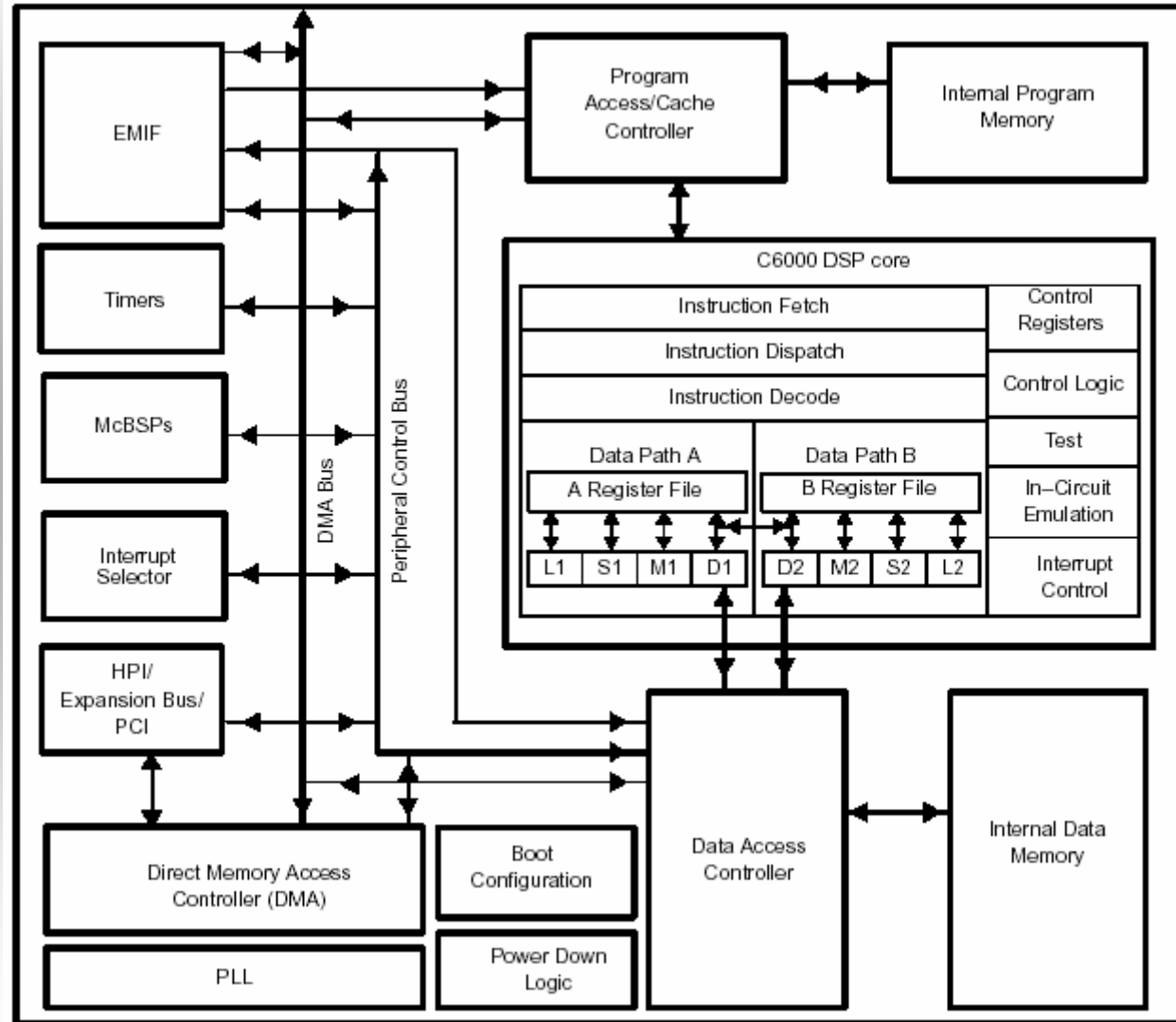
远见品质

C621x/C671x的结构



远见品质

C620x/C670x的结构



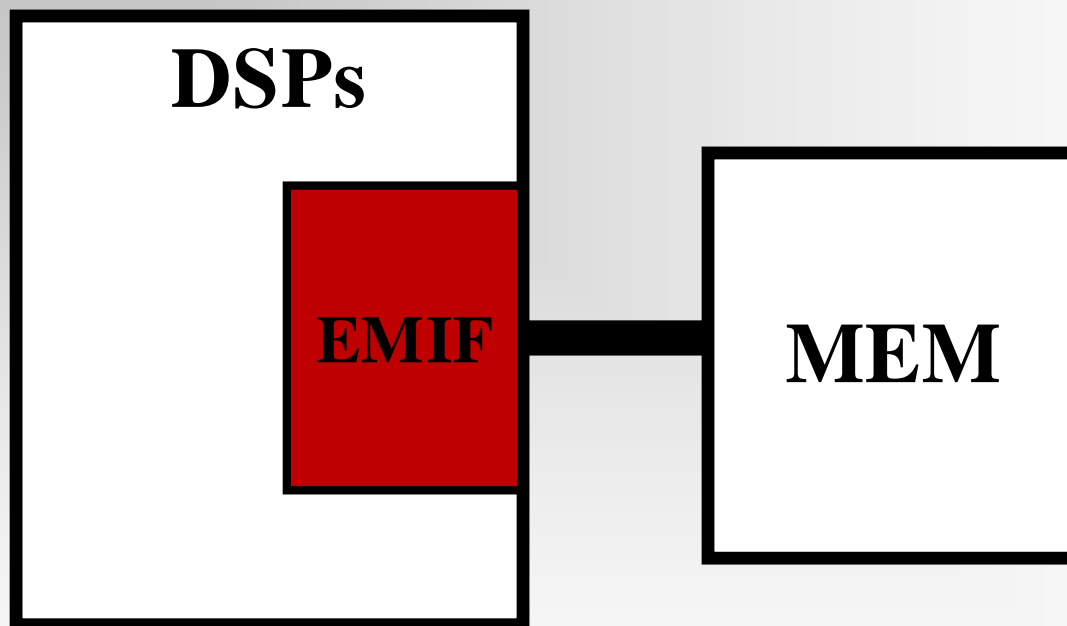
FAR SIGHT

C6000的外设接口

- EMIF (外部存储器接口)
- HPI (主机口)
- xBus (扩展总线)
- PCI接口
- McBSP (多通道缓冲串口)
- 其它 (TIMER, 中断控制, power-down 逻辑, GPIO)

远见品质

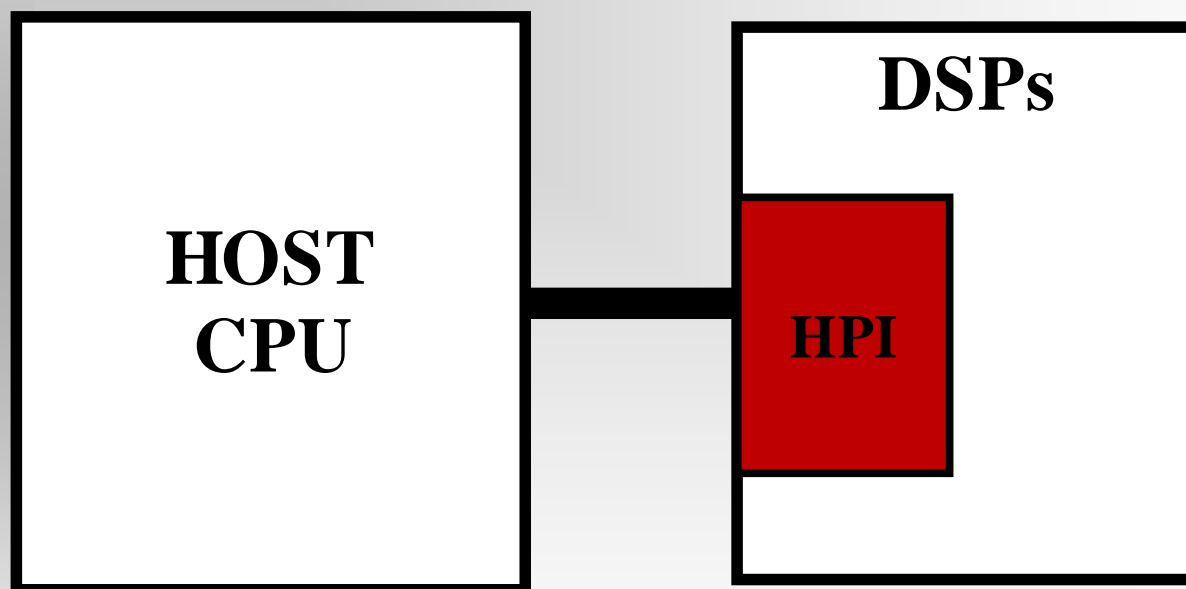
EMIF



FAR SIGHT

远见品质

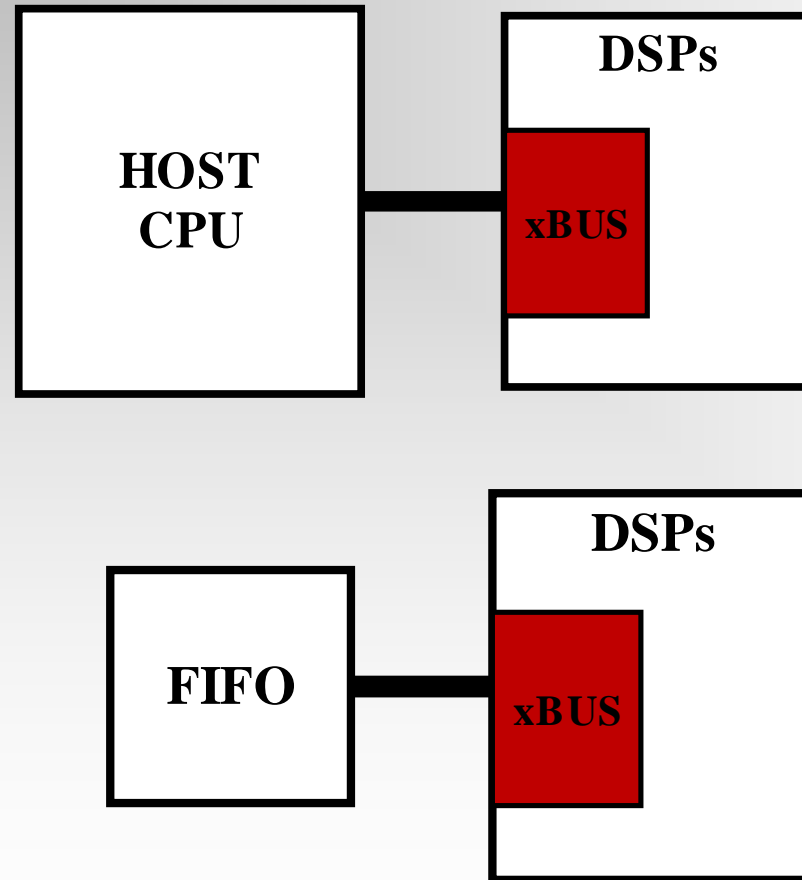
HPI



FAR SIGHT

远见品质

xBus



FAR SIGHT

远见品质

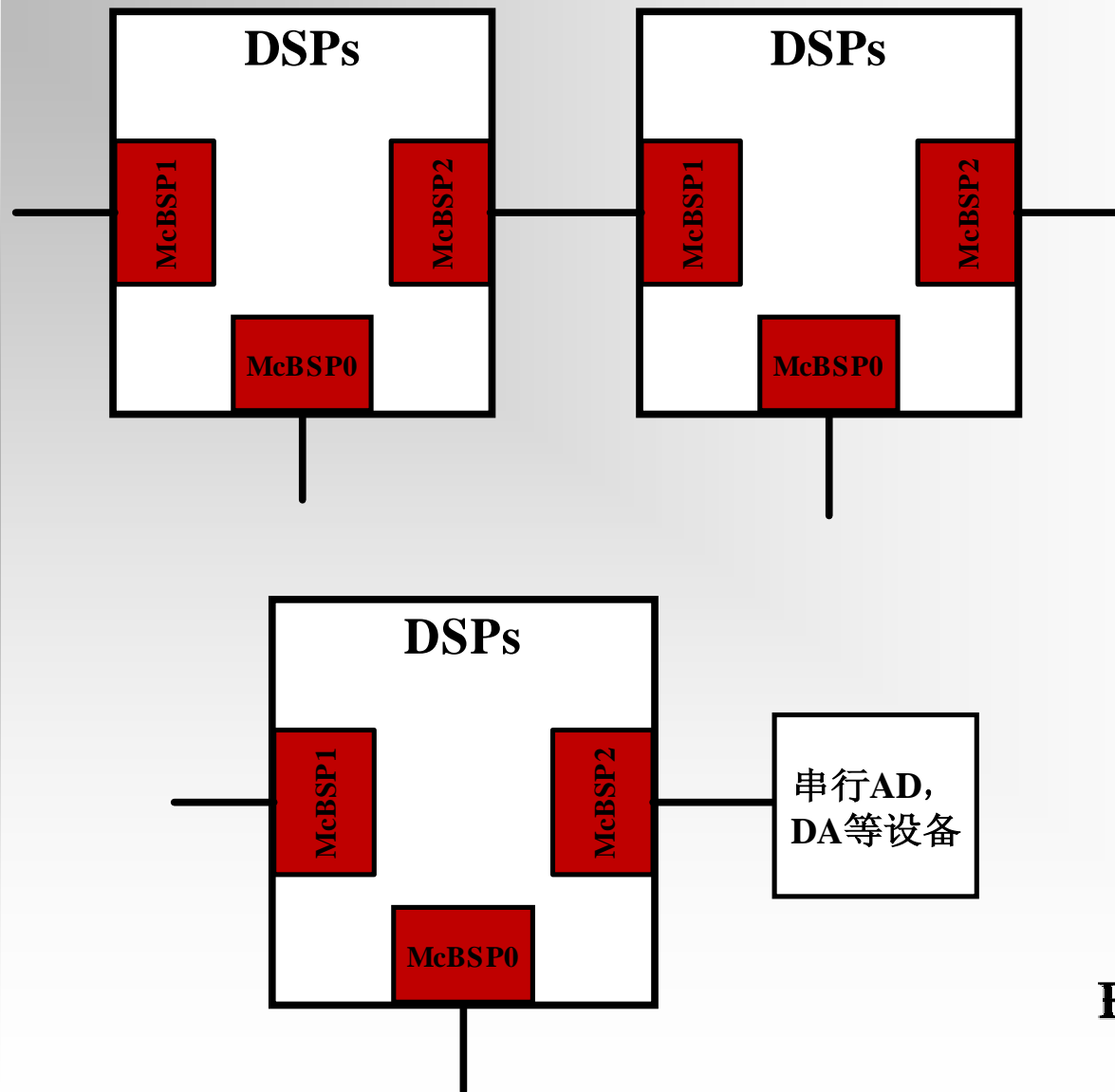
PCI



FAR SIGHT

远见品质

McBSP



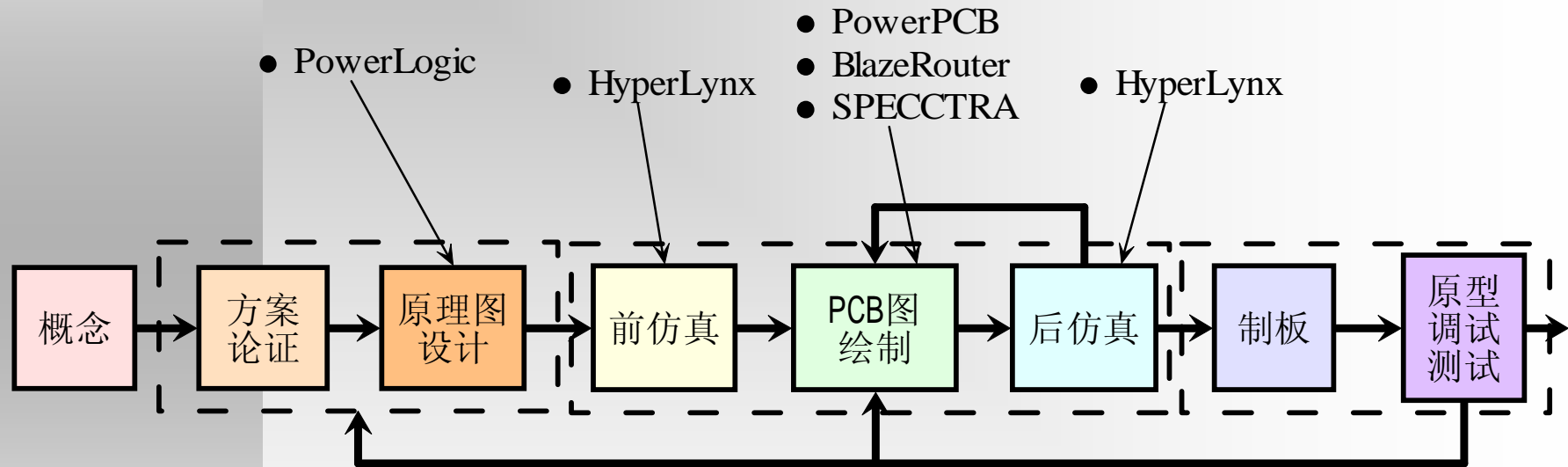


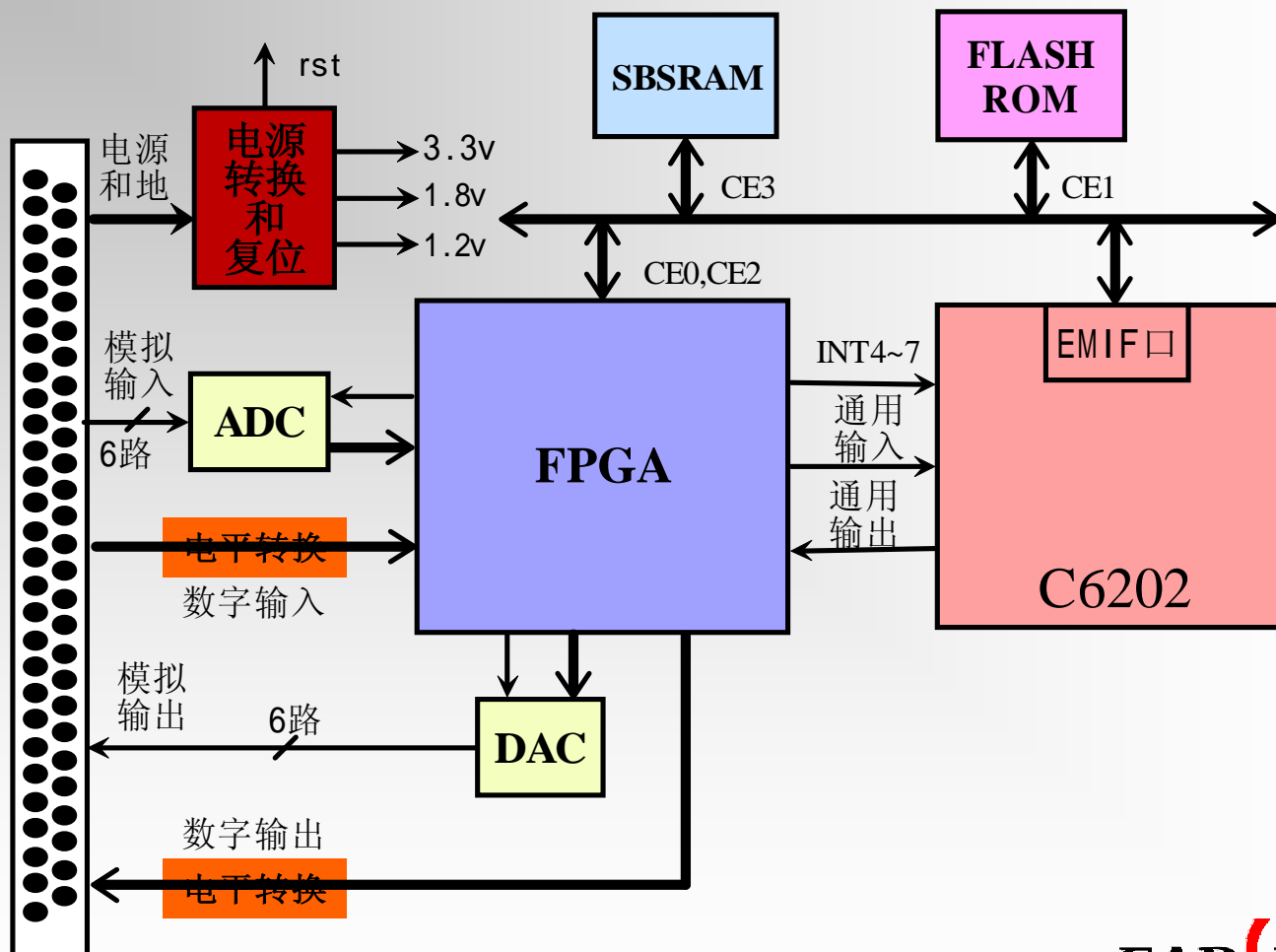
远见品质

- p C6000最小系统的设计
- p C6000的外设接口
- p C6000板级硬件开发流程
- p DSP硬件设计学习方法

远见品质

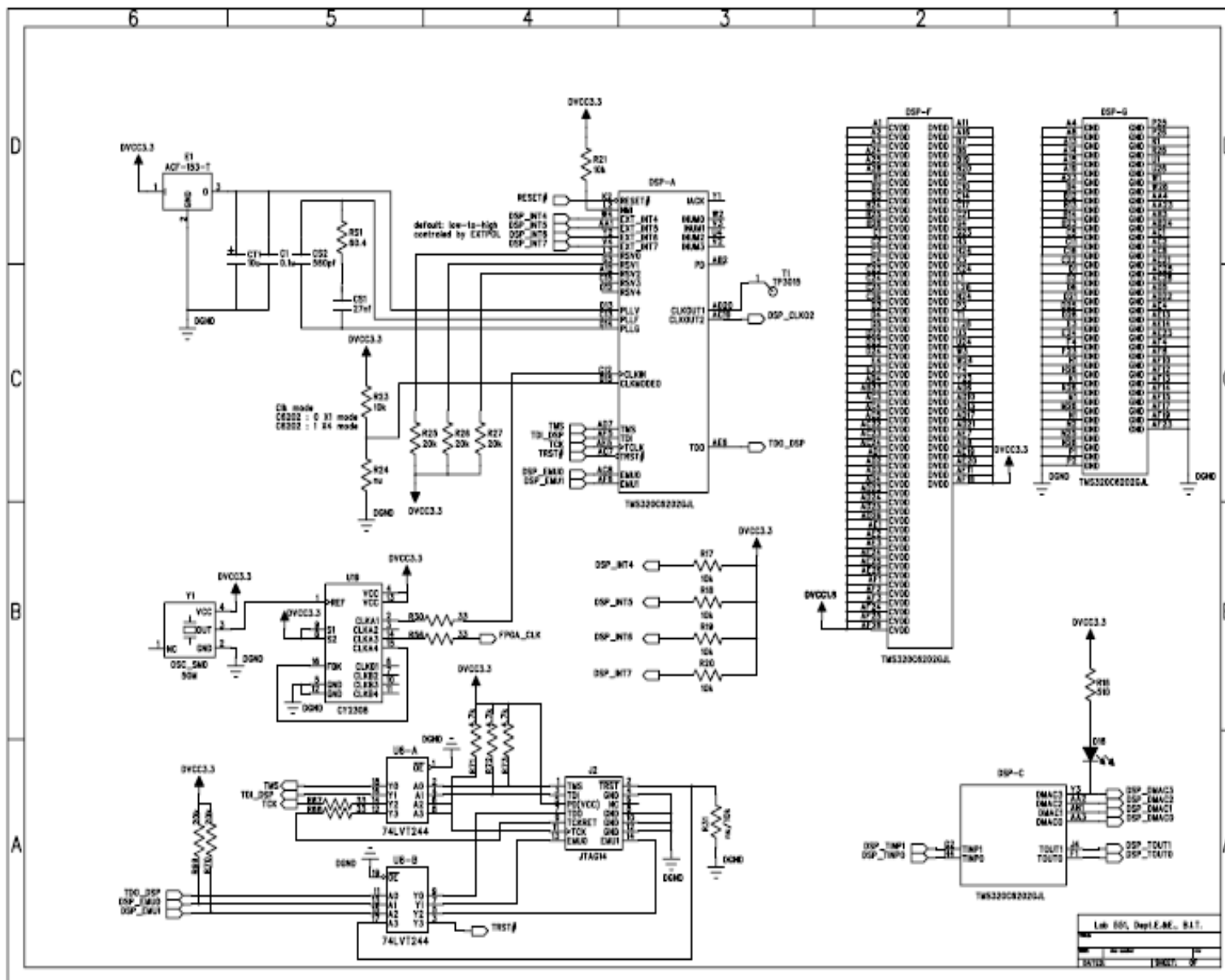
C6000板级硬件开发流程





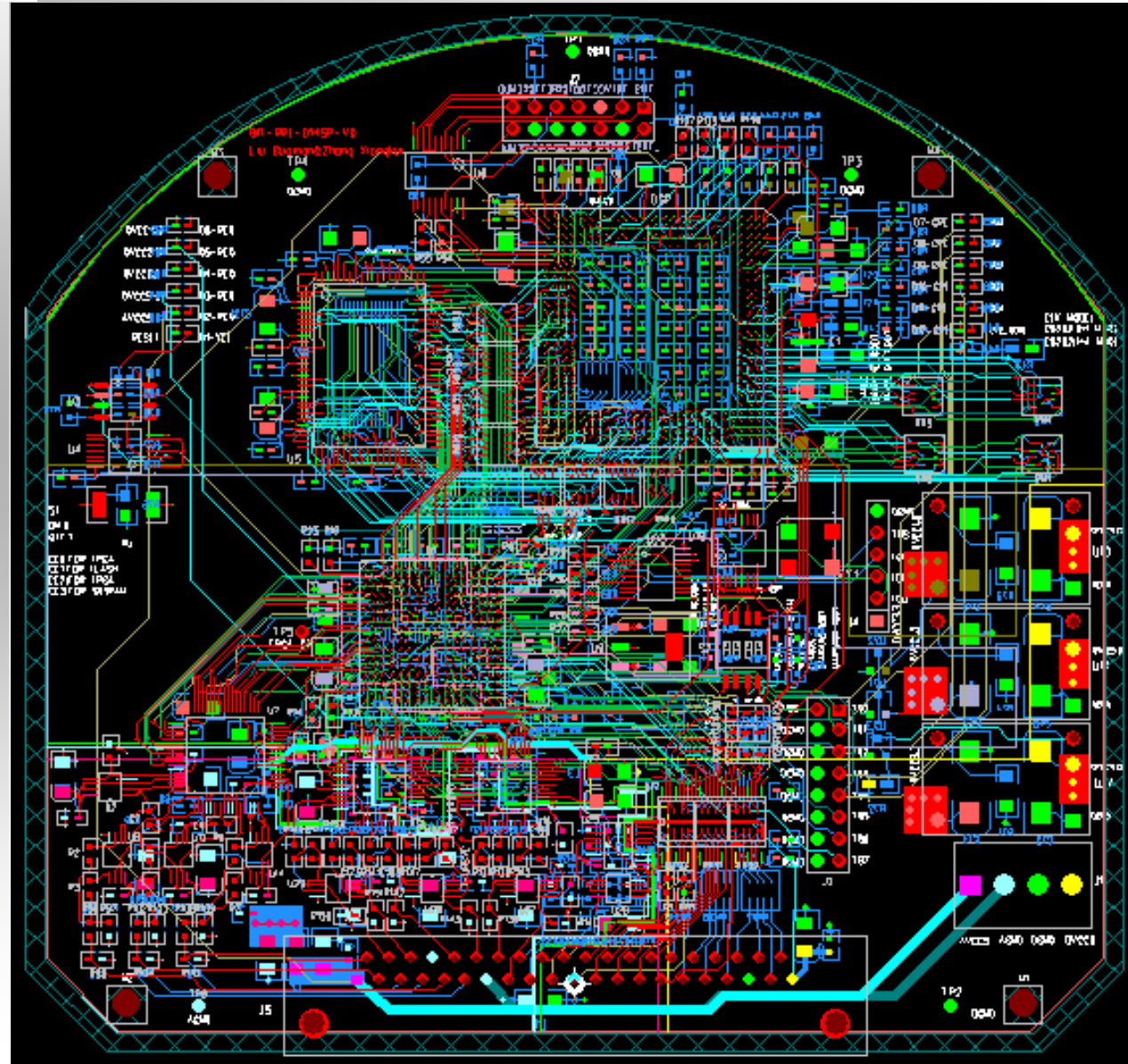
远见品质

原理图



远见品质

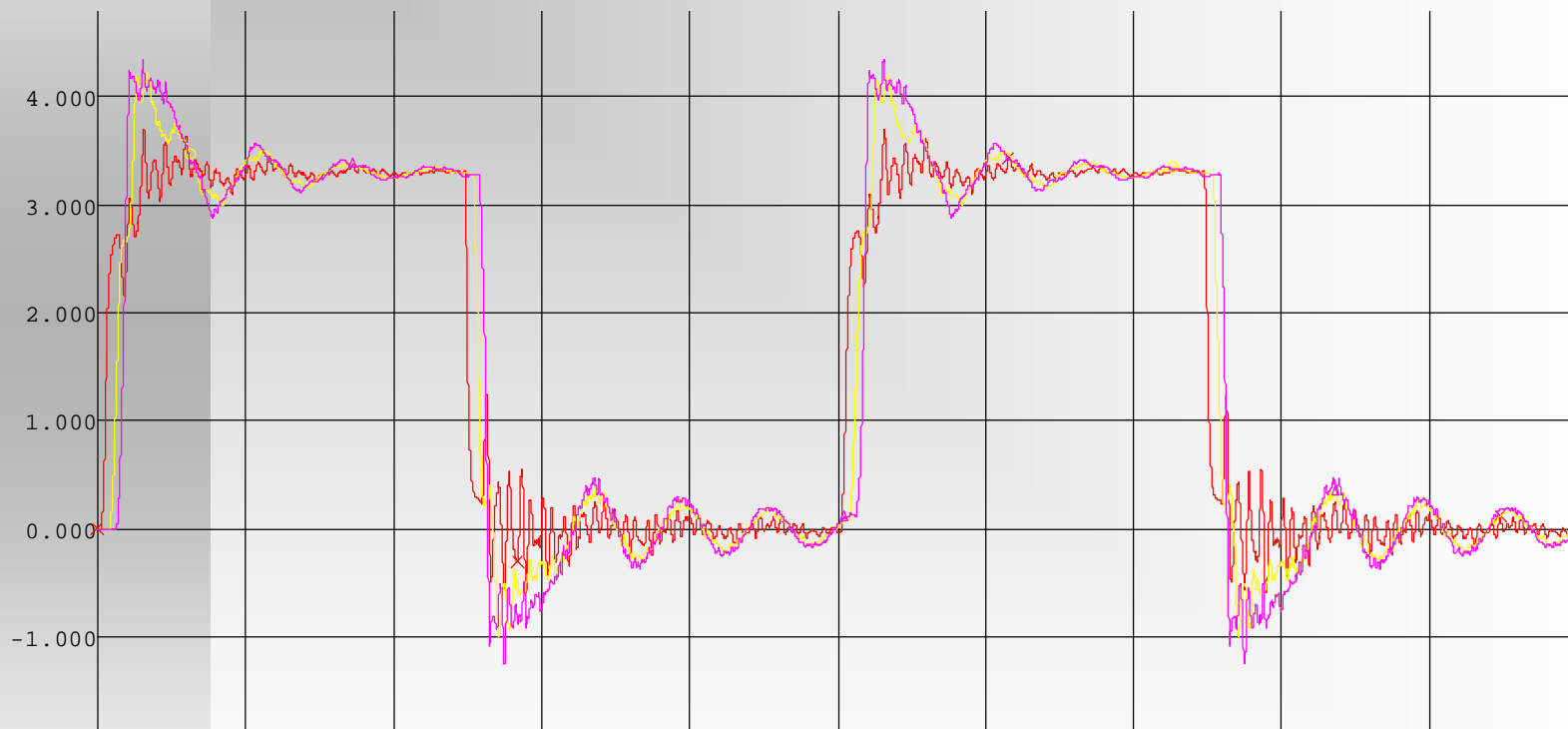
PCB



SIGHT

远见品质

信号完整性仿真





远见品质

pC6000最小系统的设计

pC6000的外设接口

pC6000板级硬件开发流程

pDSP硬件设计学习方法

FAR(S)IGHT

p DSP开发板

- p 学习硬件设计原理
- p 学习软件开发过程
- p 明确硬件开发步骤

p 自己开发最小系统

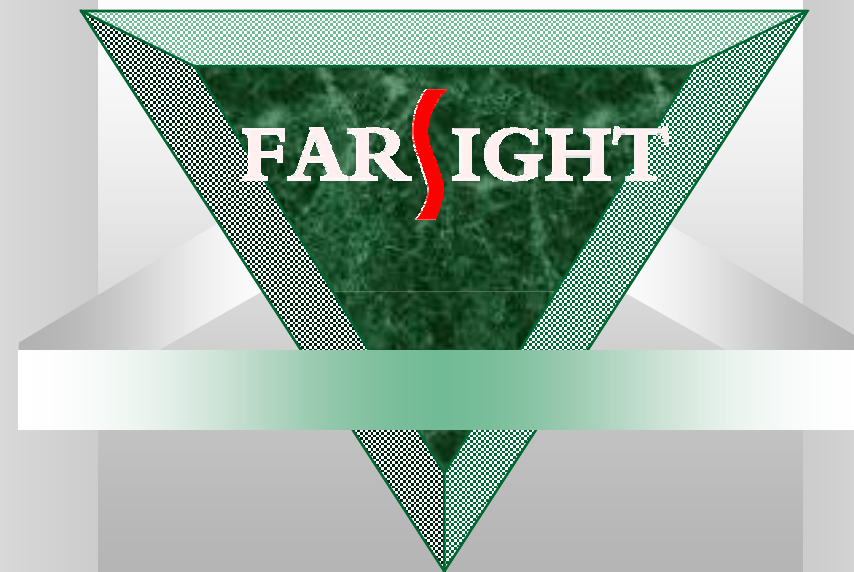
- p 需要一定的硬件设计经验
- p 参考开发板的设计
- p 自己研读数据手册的每一个细节

p 开发复杂系统

- p 在最小系统的基础上进行扩展

p 不断积累

- p 追踪前沿技术



J 谢谢 J