



# 嵌入式处理器选型与接口设计

华清远见高级讲师 周明

# 版权

---

- } 华清远见嵌入式培训中心版权所有；
- } 未经华清远见明确许可，不能为任何目的以任何形式复制或传播此文档的任何部分；
- } 本文档包含的信息如有更改，恕不另行通知；
- } 保留所有权利。

# 主题内容

1. 2009年嵌入式处理器发展现状与趋势
2. 处理器接口与功能
3. 处理器接口与封装
4. 单端信号、差分信号与分组信号
5. 高速低功耗处理器封装优化与设计挑战
6. 选择合适的封装与信号接口

# 新一代PowerPC架构嵌入式处理器

---

## } Freescale MPC83xx

- } 入门至中等性能
- } 低至10美元的成本

## } AMCC PPC4xx

- } 入门至中等性能，新版本支持PCIe
- } 低至10美元的成本

## } Freescale QorIQ系列

- } 中级至顶级性能，支持DDR3内存，支持多个PCIe和RapidIO
- } P10x0——1至2个e500mc核心533-800MHz
- } P20x0——1至2个e500mc核心最高1.2GHz
- } P40xx——4至8个e500mc核心最高1.5GHz

# 新一代MIPS架构嵌入式处理器

---

## } Cavium OCTEON系列

- } 中等至顶级性能

- } CN58xx包含4-16 MIPS64核心，主频500-800MHz

- } CN68xx包含最高32个MIPS64核心，主频至1.5GHz

## } Netlogic (RMI)

- } XLP系列，包含最多8个MIPS64核心，每核心4线程，40nm工艺提供极高的2GHz主频和单位能耗效能（为XLR系列的3倍）

- } XLR系列，包含最多8个MIPS64核心，每核心4线程

## } 龙芯2F

- } 性能近似于MIPS12K，支持MIPS64指令集，需要南桥配合，主频800-1000MHz

# 新式ARM架构处理器简介

---

## ┆ ARMv7架构SOC

- ┆ TI OMAP系列，2009年OMAP3和OMAP4关注度较高
- ┆ Freescale i.MX51系列
- ┆ Qualcomm 8650/8672
- ┆ Samsung S5PC110/S5PV210
- ┆ Marvell ARMADA系列

## ┆ 新的ARMv7共同点是提供600MHz到2GHz主频的双发射处理器和128bit NEON SIMD，并提供双核版本

- ┆ OMAP4440
  - 1+ GHz dual-core ARM Cortex-A9 MPCore + PowerVR SGX 540 GPU + C64x+ DSP + ISP (Image Signal Processor) 1080p HD
- ┆ QSD8672
  - 1.5 GHz dual-core ARM Cortex-A9 MPCore + 3D + 3G (HSPA+, CDMA200 1x) + 1080p HD

## ARMv7-a指令集亮点

---

- | ARMv7-a提供单周期执行2条ARM指令的能力
- | 提供NEON SIMD指令集，可以操作128bit 寄存器
- | NEON指令集最高可以同时操作16个8bit数据
- | GCC编译器提供 `-ftree-vectorize` 自动生成向量指令
- | C语言程序可以很容易显式使用NEON
  - | 需要16像素混合，直接调用内建函数
  - | `uint8x16_t vmlaq_u8 (uint8x16_t, uint8x16_t)`
  - | 等效向量指令: `vmla.i8 q0, q0, q0`

## 处理器接口

---

### } 传统总线

- } 类似SRAM的本地总线——软件协议最简单
- } PCI总线——软件简单且成熟
- } 其他板上总线，I2C等

### } 新式总线

- } PCIe——容易实现高性能，兼容PCI协议。基于分组信号技术，目前是桌面PC标准总线
- } RapidIO——可以实现极高带宽性能。基于分组信号技术，专门面向高性能嵌入式，支持QoS

# 处理器封装

---

## } QFP封装

- } 容易设计，检查和返修工艺要求低
- } 性能较低

## } Wire-bonding BGA

- } 容易做成大量引脚的封装，如超过1500引脚
- } 布线密度比较适中

## } CSP

- } 封装紧凑，尺寸可以做到Silicon DIE的110%
- } 性能很好
- } 布线密度非常高

## } FC-BGA

- } 性能最高，具备MCM的特点
- } 板级电源设计相对容易

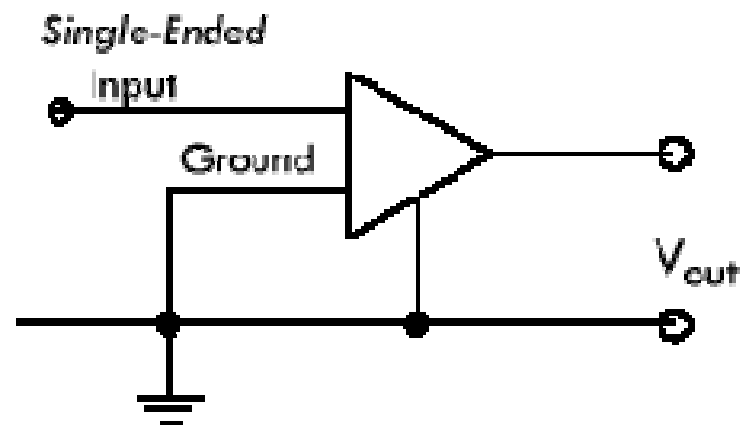
## CSP封装——DDR2 SDRAM



# 单端信号与差分信号

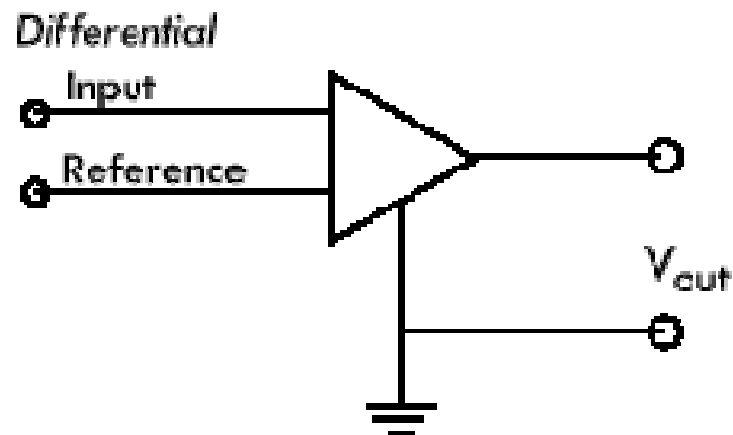
## } 单端信号

- } 一般有较强的电平
- } 逻辑摆幅 $>1.5\text{v}$
- } 用逻辑门限来衡量数据



## } 差分信号

- } 现代设计使用小电平
- } 逻辑摆幅多数 $<400\text{mV}$
- } 使用差模信号零点衡量数据

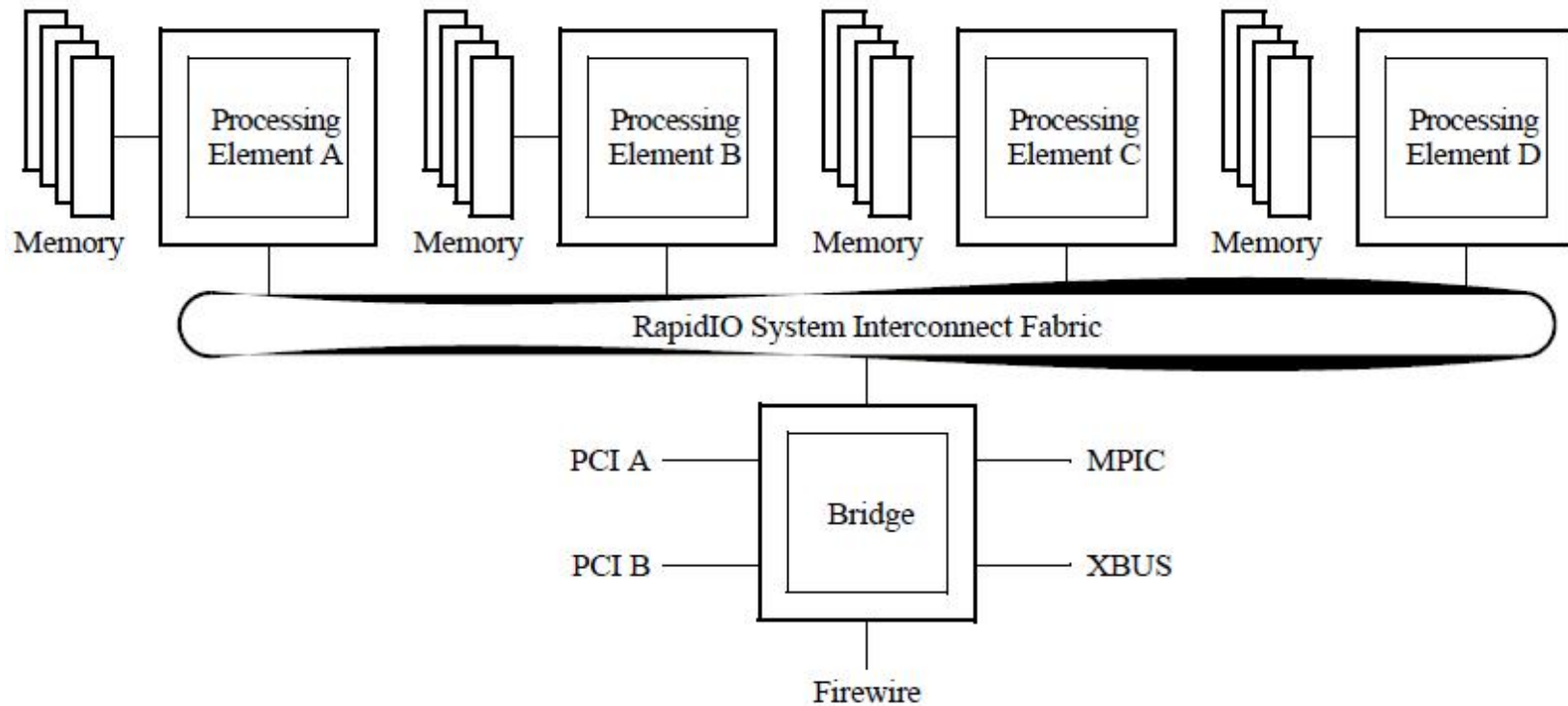


## 传统总线——I2C

---

- } I2C的历史，最开始用来控制智能电池
- } I2C使用两根双向信号线来传递数据
  - } Serial Clock Line (SCL)
  - } Serial Data Address (SDA)
- } 总线速度分为标准速度100kbps，快速模式400kbps，高速模式3.4Mbps
- } 特点是：半双工，仅需要两根线（所以又被称为2-wire总线），采用单端信号

# 分组交换信号——RapidIO

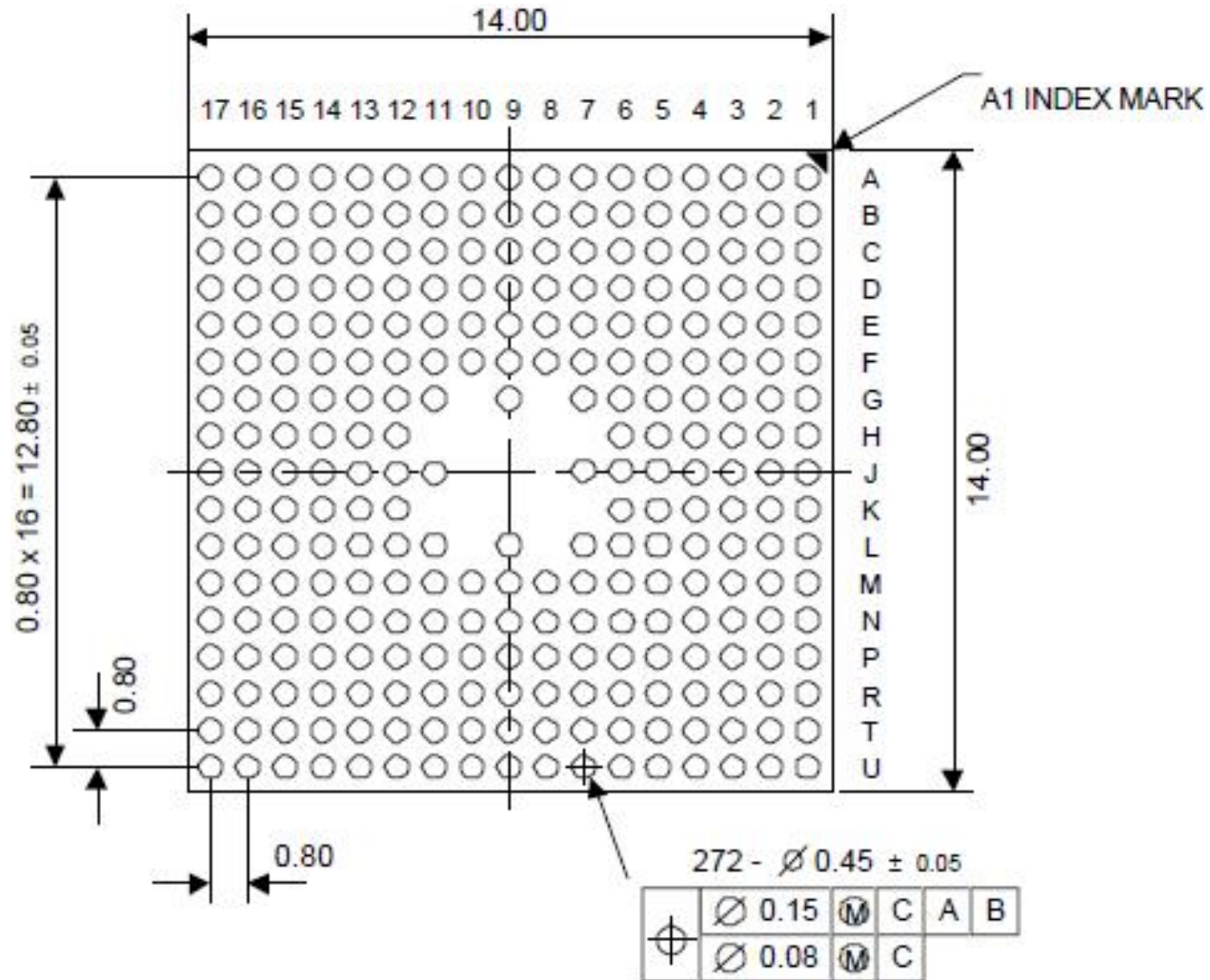


# BGA封装设计的挑战

---

- } 封装密度高——影响器件摆放，布线的布通率
  - } BGA需要的电源器件和电源通路
  - } 退耦电容
  - } 其他离散器件
- } 封装尺寸小——工艺要求
  - } 线宽
  - } 间距
  - } 过孔
- } 高速信号——高速约束和BGA引脚处理

# BGA封装特点



## BGA 扇出

---

- } BGA fanout/escape
- } BGA差分信号处理
- } BGA模拟电源处理
- } 额外的EMC器件
- } BGA器件的可焊性

## 如何选择合适的封装与接口？

---

### } 3个需要权衡的因素

- } 1.封装和接口的性能
- } 2.封装和接口的设计难度
- } 3.封装和接口的价格及相关成本

# Q&A



谢谢!

