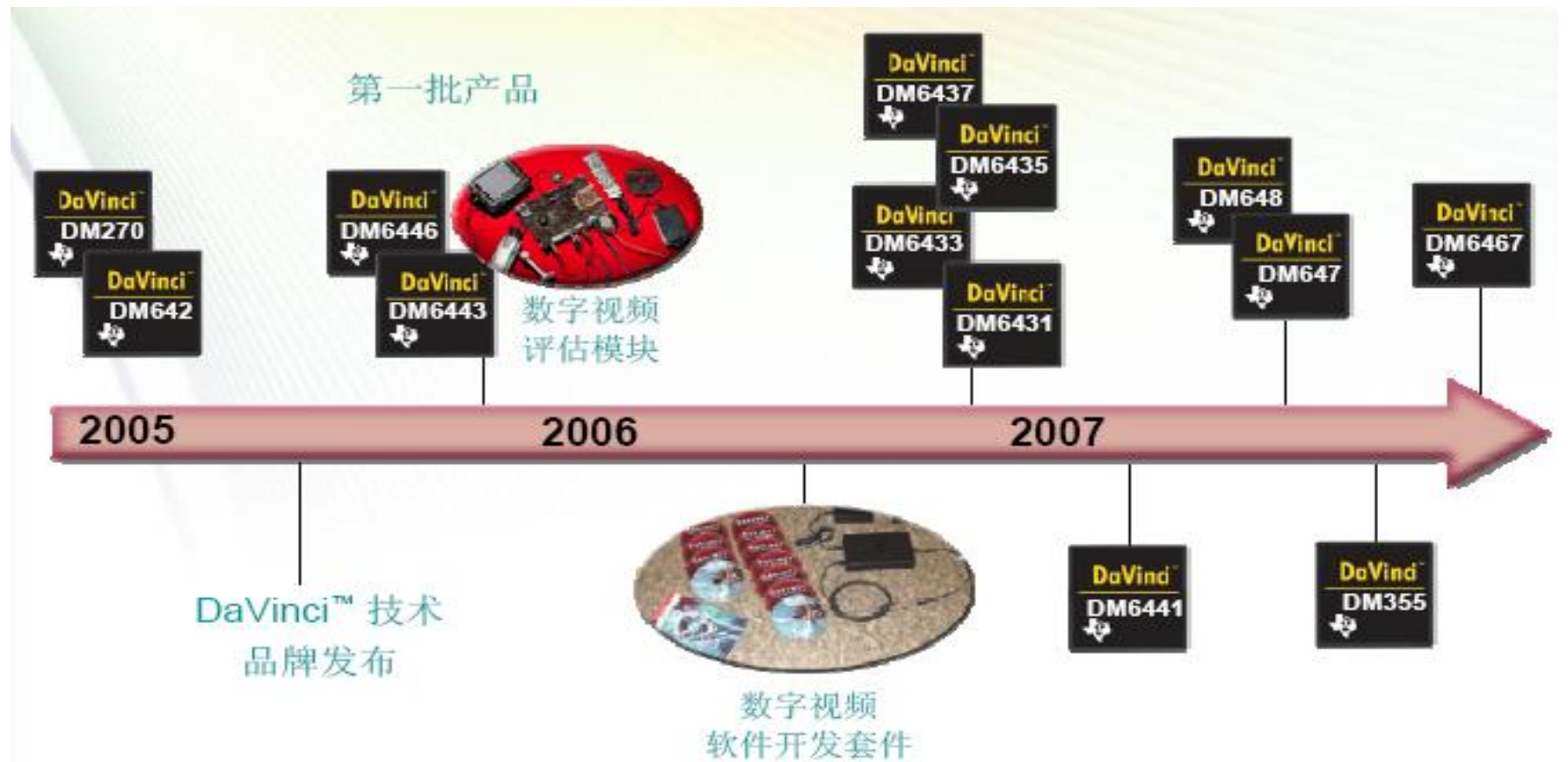




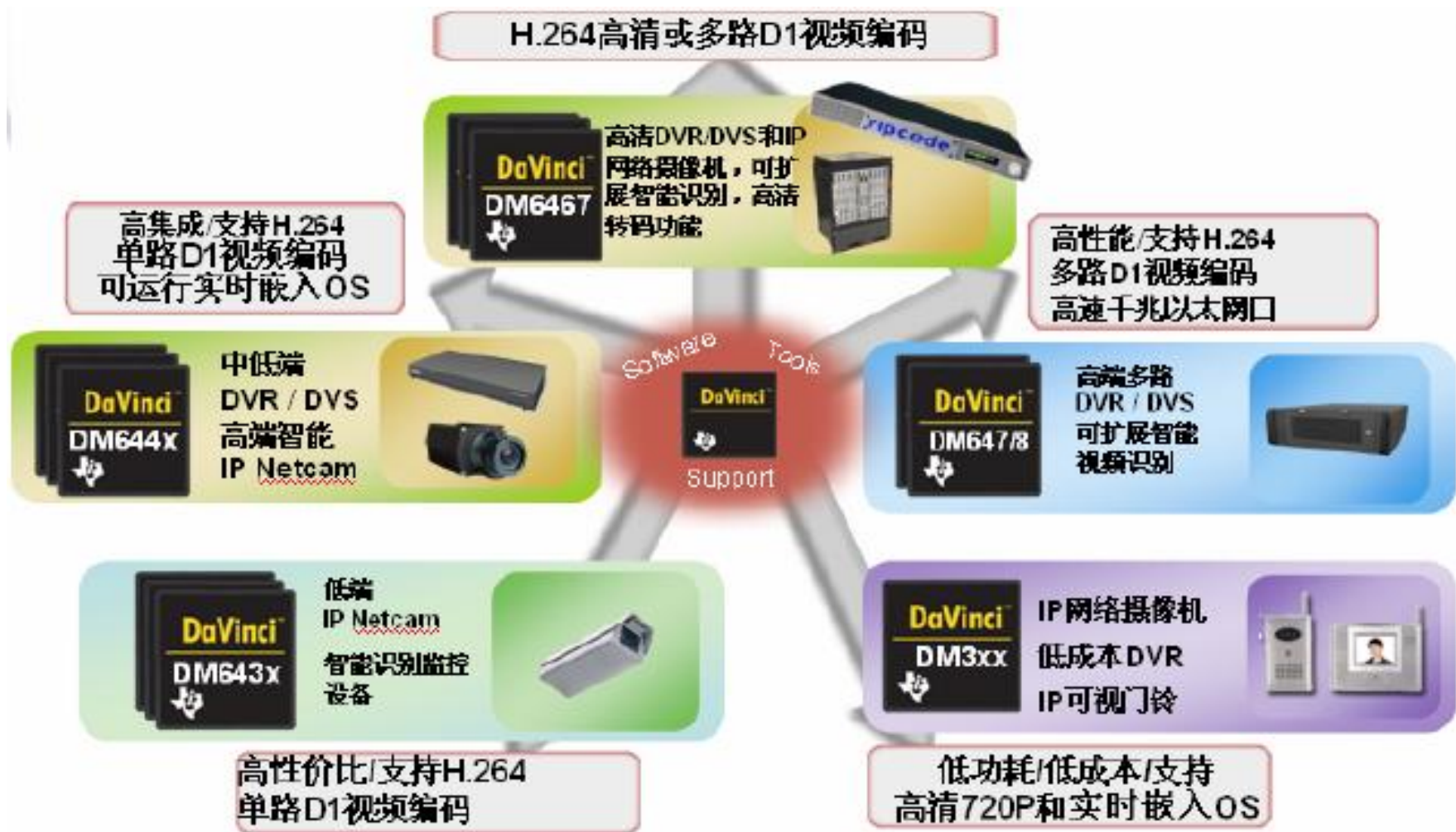
# 基于 Davinci 平台的视频应用开发

沈燕飞

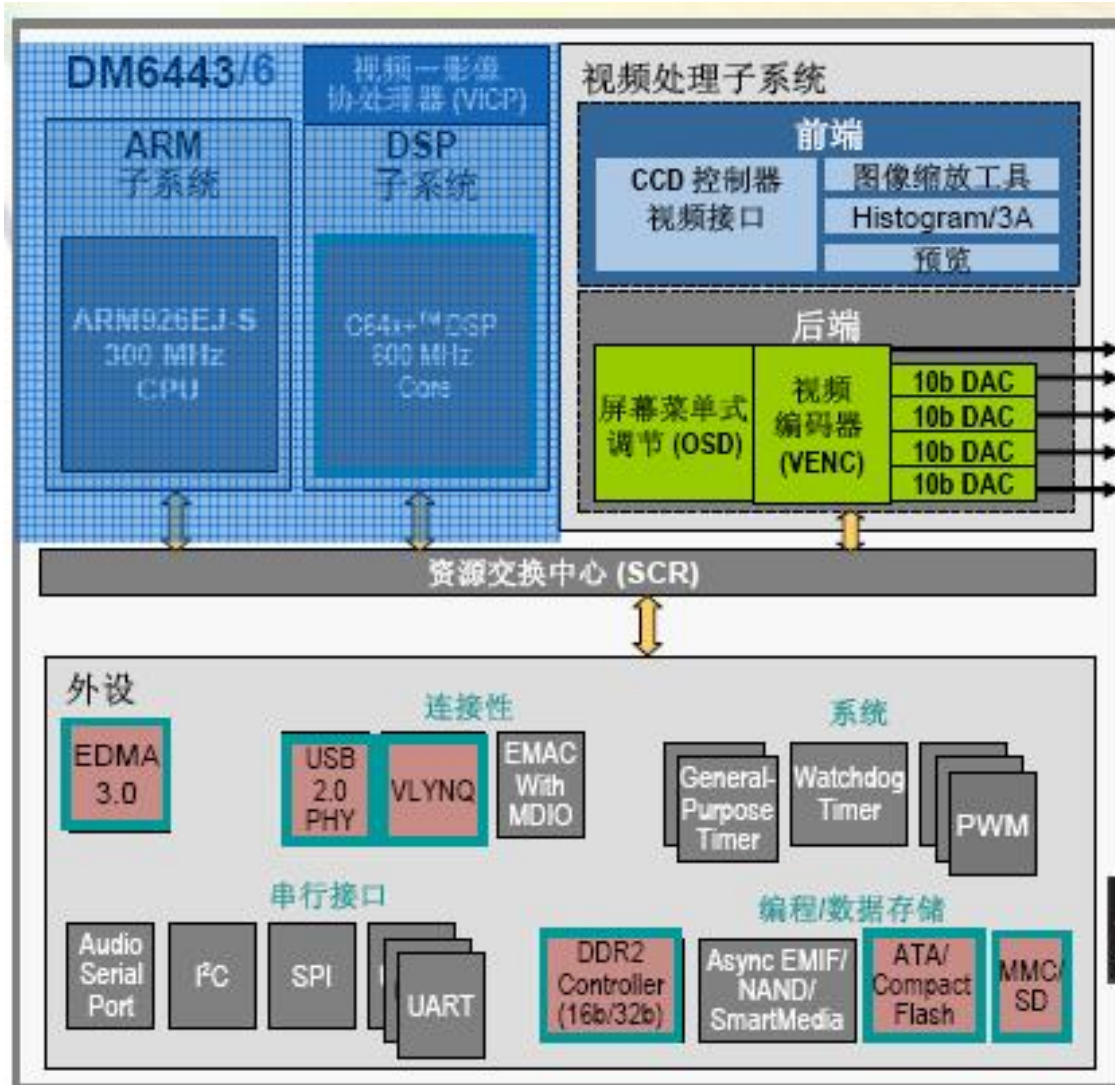
# DaVinci™ 技术发布里程碑图



# 达芬奇五大类平台及目标应用



# TMS320DM6446/3™ 处理器构架



针对视频进行优化的

TMS320C64x+™ DSP @ 600MHz

- H.264 MP@L3, 30fps SD 解码
- VC1/WMV9 Full D1 SD 解码
- MPEG-2 MP@ML SD 解码
- MPEG-4 ASP Full D1 SD 解码

- H.264 BP D1 编码
- 同时 H.264 BP CIF 编码

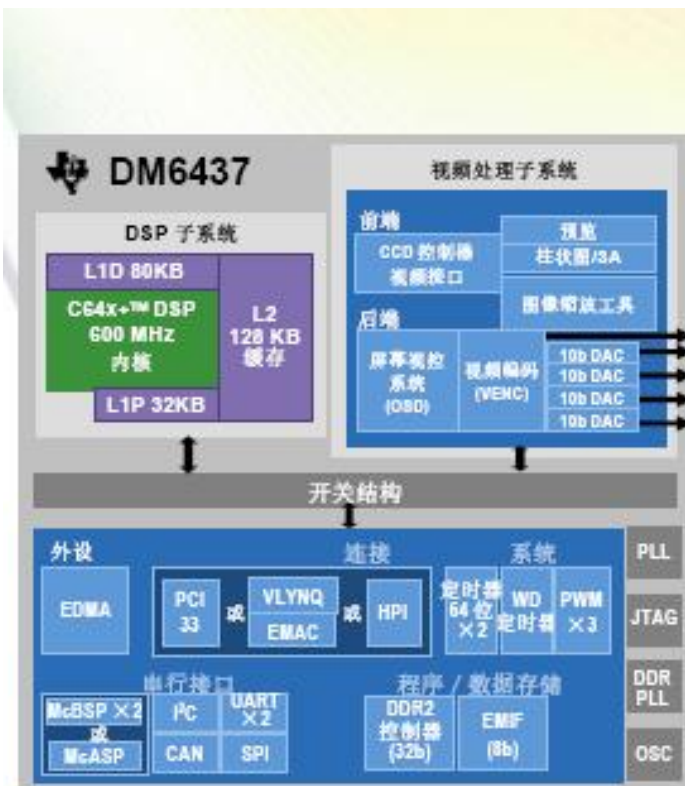
专用视频处理子系统

- 后端——集成 OSD, 四个视频 DAC, 24 位数字 RGB 输出

- 前端——图像缩放工具、影像处理引擎、16 位数字输入

■ = DM6446

# TMS320DM643x™ 处理器构架



	编码	解码	编码	编码 / 解码
	DM6431	DM6433	DM6435	DM6437
C64x+ 300 MHz	C64x+ 600 MHz	C64x+ 600 MHz	C64x+ 600 MHz	C64x+ 600 MHz
L2 64KB* L1P 32K* L1D 32K*	L2 128KB* L1P 32KB* L1D 80KB*	L2 128KB* L1P 32KB* L1D 80KB*	L2 128KB* L1P 32KB* L1D 80KB*	L2 128KB* L1P 32KB* L1D 80KB*
DDR2-266 (16b)	DDR2-266 (32b)	DDR2-266 (32b)	DDR2-266 (32b)	DDR2-266 (32b)
视频输入: 1 VP 10b	视频输入: 无	视频输入: 1VP 16b VPSS	视频输入: 1VP 16b VPSS	视频输入: 1VP 16b VPSS
视频输出: 无	视频输出: VPSS; w/OSD 4 10b DAC	视频输出: 无	视频输出: VPSS; w/OSD 4 10b DAC	视频输出: VPSS; w/OSD 4 10b DAC
EMAC 或 EMIF	PCI 或 VLYNQ/ EMAC、HPI 或 EMIF	VLYNQ/ EMAC、HPI 或 EMIF	PCI 或 VLYNQ/ EMAC、HPI 或 EMIF	PCI 或 VLYNQ/ EMAC、HPI 或 EMIF
McASP、 iC、CAN、 UART、SPI	McASP、iC、 UART、SPI	McASP、 iC、CAN、 UART (2)、 SPI	McBSP 或 McASP、iC、 CAN、UART (2)、SPI	McBSP 或 McASP、iC、 CAN、UART (2)、SPI
300 MHz 下 每万片单价 9.95 美元	600 MHz 下 每万片单价 16.35 美元	600 MHz 下 每万片单价 16.95 美元	600 MHz 下 每万片单价 22.95 美元	600 MHz 下 每万片单价 22.95 美元

# DM355实现便携式应用的创新

## ■ 内核

- ARM926EJ-S™内核, 216 MHz
- 视频影像协处理器

## ■ 存储器

- ARM: 16KB 一级缓存, 8KB D 级缓存; 8KB ROM; 32KB 程序/数据

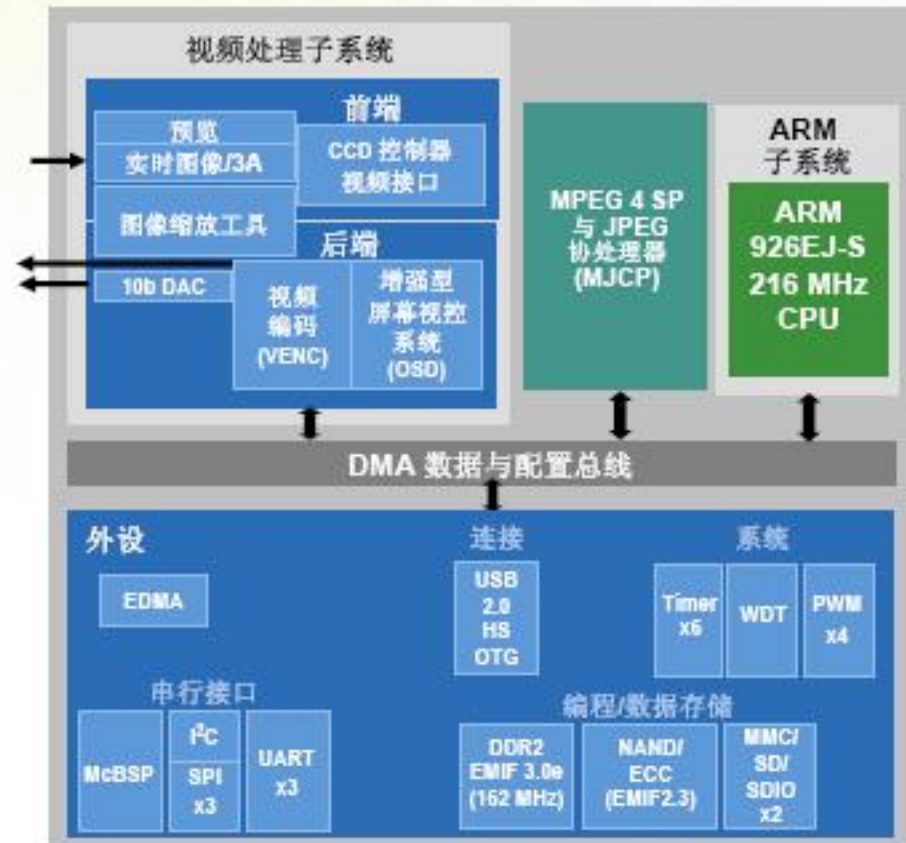
## ■ 外设关键特性

- 视频处理子系统
  - 前端——图像缩放工具、影像处理引擎、16 位数字输入
  - 后端——集成型 OSD、一个视频 DAC、16 位数字 YCbCr 输出
- USB 2.0 HS OTG 设备与具备 PHY 的微型主机

- 封装: 13 x 13mm PBGA-ZWK、329 引脚、0.65mm间距

## 优势

- MPEG4 SP 编码/解码 @ SXVGA (1280x960) 30 fps
- JPEG 编码/解码, 每帧 75M 像素
- 高度集成与丰富的视频性能
- 可满足各种视频、音频、存储与连接需求的专业外设



# TMS320DM648/DM647处理器

## 特性

### ■ C64x+™ 内核

- 720 与 900 MHz C64x+™ 内核
- 5760 与 7200 16 位 MMACS

### ■ 存储器

- 32 KB L1D、32 KB L1P 缓存 / SRAM
- 512 KB L2 缓存 / SRAM – DM648
- 256 KB L2 缓存 / SRAM – DM647

### ■ 视频加速

- VICP 支持流预处理和增强的编解码器性能

### ■ 外设

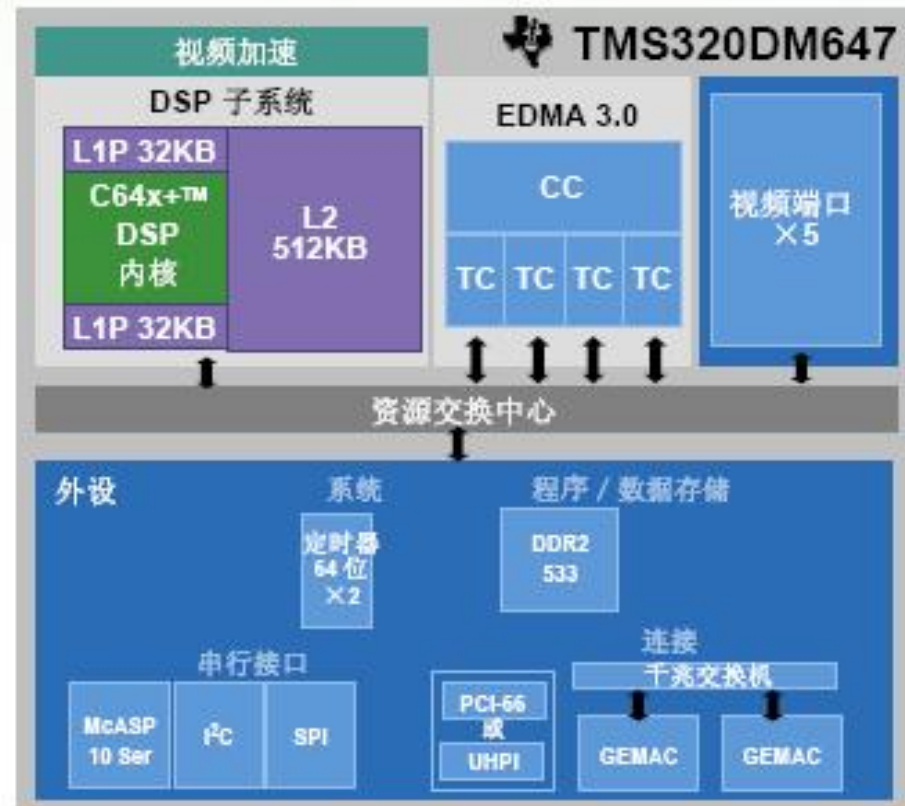
- 32 位 DDR2-533
  - EDMA 3.0 与 SCR
  - 具备千兆交换机的 2 GEMAC / PCI / UHPI – DM648
  - GEMAC / PCI / UHPI – DM647
  - 16 位双通道视频端口 (5)
  - 用于音频的 McASP
  - I<sup>2</sup>C、SPI、GPIO、64 位定时器 (2)
- 封装：19 × 19 毫米  
 • 现已投入量产

## 优势

- 高性能可支持多通道视频应用的视频加速功能
- 提高多通道视频应用的系统集成度
- 无需外部开关或逻辑，从而降低 BOM 成本

## 应用范围

- 安全 DVR
- 机器视觉
- 网络化视频服务器
- 高性能影像



# TMS320DM6467芯片内部框图

## 特性

### ■ 内核

- 300 MHz 的 ARM926EJ-S™ (MPU)
- 600 MHz 的 TMS320C64x+™ DSP 内核

### ■ 存储器

- ARM: 16K 指令缓存、8K 数据缓存、32K TCM RAM、8K 自举 ROM
- DSP: 32K L1 指令缓存、32K L1 数据缓存、128K L2 缓存、64K 自举 ROM

### ■ 高清协处理器

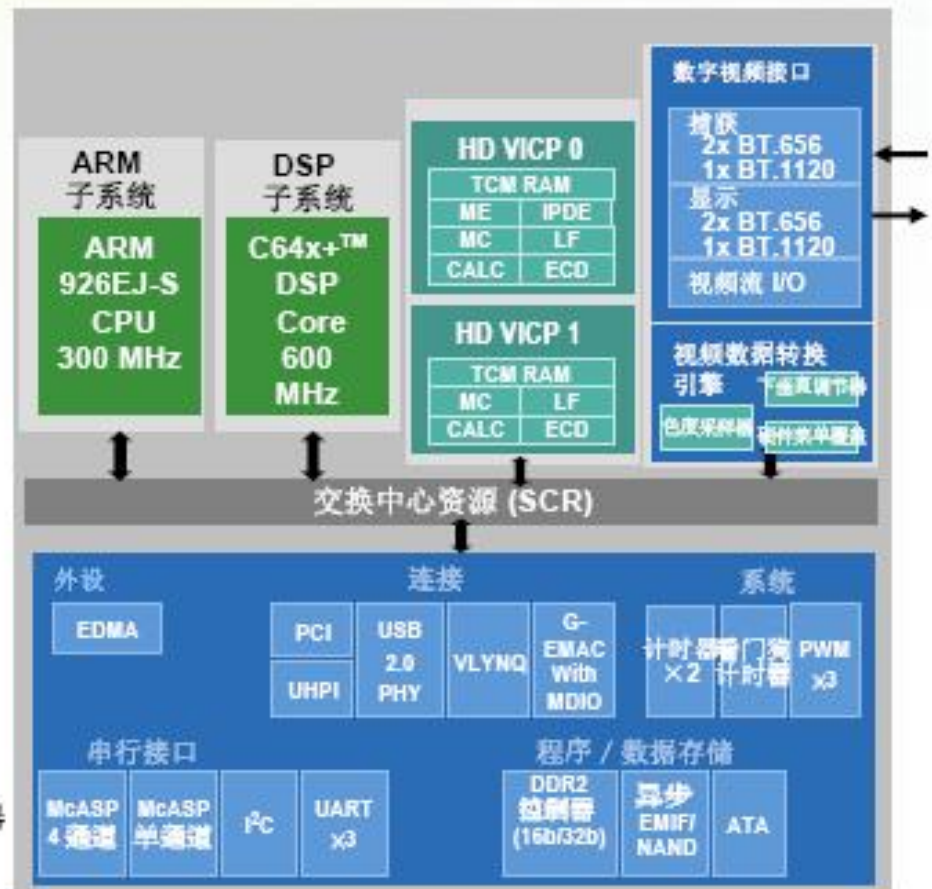
- 高达 1080p 的实时 HD-HD 转码
  - 多格式 (mf) 高清至 mf 高清或 mf 标清
  - 高达 2 倍实时时间, 可进行高清至标清转码
  - 用于 PVR 的实时 HD-HD 转码
- 视频编码与解码
  - HD 720p H.264 BP 编码
  - HD 1080i/p H.264 HP@L4、解码
  - HD 1080i/p VC1/WMV9、解码
  - HD 1080i/p MPEG-2 MP@HL、解码
  - HD 1080i/p MPEG-4 ASP、解码; DivX
  - 同步标清 H.264 BP 30 fps 编码与解码

### ■ 外设重点

- 视频端口
  - 两个 8 位 BT.656 或一个 16 位 BT 1120 捕获
  - 两个 8 位 BT.656 或一个 16 位 BT 1120 显示
- 2007 年 12 月开始提供样片; 2008 年第二季度投入量产优势
- 可扩展的视频引擎建立在高性能 C64x+ 媒体 DSP、低成本控制器和丰富的多格式视频加速器系列基础之上

## 应用

转码 (HD-HD、HD-SD)、高清视频会议、HD-IP 机顶盒、视频监控、视频电话、数字媒体适配器以及医疗影像



# 实现多格式高清转码功能解决方案



## DVSDK工具链

---

- } 完整的开发系统、参考设计以及全面的ARM/DSP系统级集成开发环境，可加速任何数字视频应用的设计与开发。
  
- } **Digital Video Software Development Kit(DVSDK)**
  - } eXpressDSP Configuration Kit
  - } TMS320DM644x SoC Analyzer
  - } MontaVista's Linux
  
- } **Digital Video Evaluation Module**
  
- } **TI third party development boards**

# DVSDK工具链

---

## } **eXpressDSP Configuration Kit**

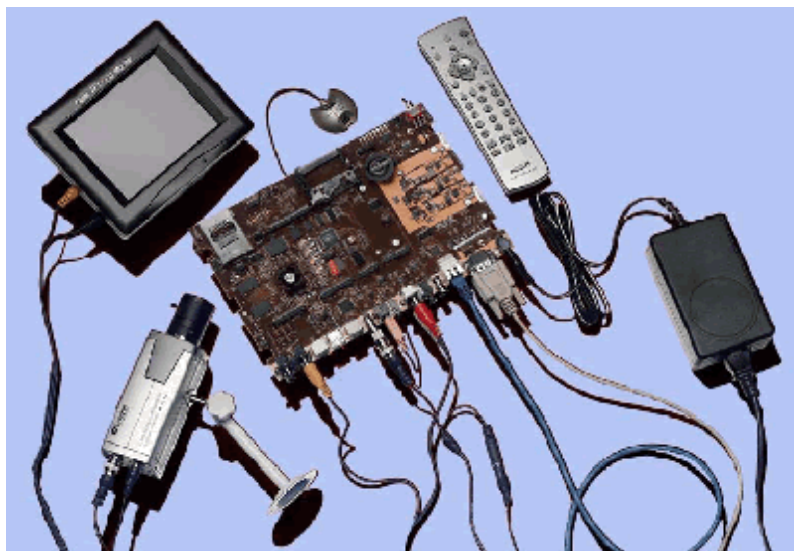
- } TI's video, imaging, speech and audio codecs
- } Custom codecs that comply with TI's eXpressDSP™ Digital Media (xDM) algorithm standard
- } TI's codec engine framework
- } DSP/BIOS™ real-time kernel
- } TI's DSP/BIOS Link inter-processor communication technology

## } **TMS320DM644x SoC Analyzer**

- } system interaction
- } load distribution
- } bottlenecks in data throughput
- } other types of behavior

## DVSDK工具链

**DVEVM**允许开发者为**ARM**编写即将投入生产的应用程序代码和使用**DaVinci API**访问**DSP**内核，从而立即开始针对**DM6443**和**DM6446**器件的应用开发。



### *The Digital Video Evaluation Module Includes:*

#### Software

- CODEC demos including: H.264, MPEG-4, MPEG-2, AAC+, G.711
- Multimedia APIs and frameworks
- MontaVista 2.6.10 Linux support package

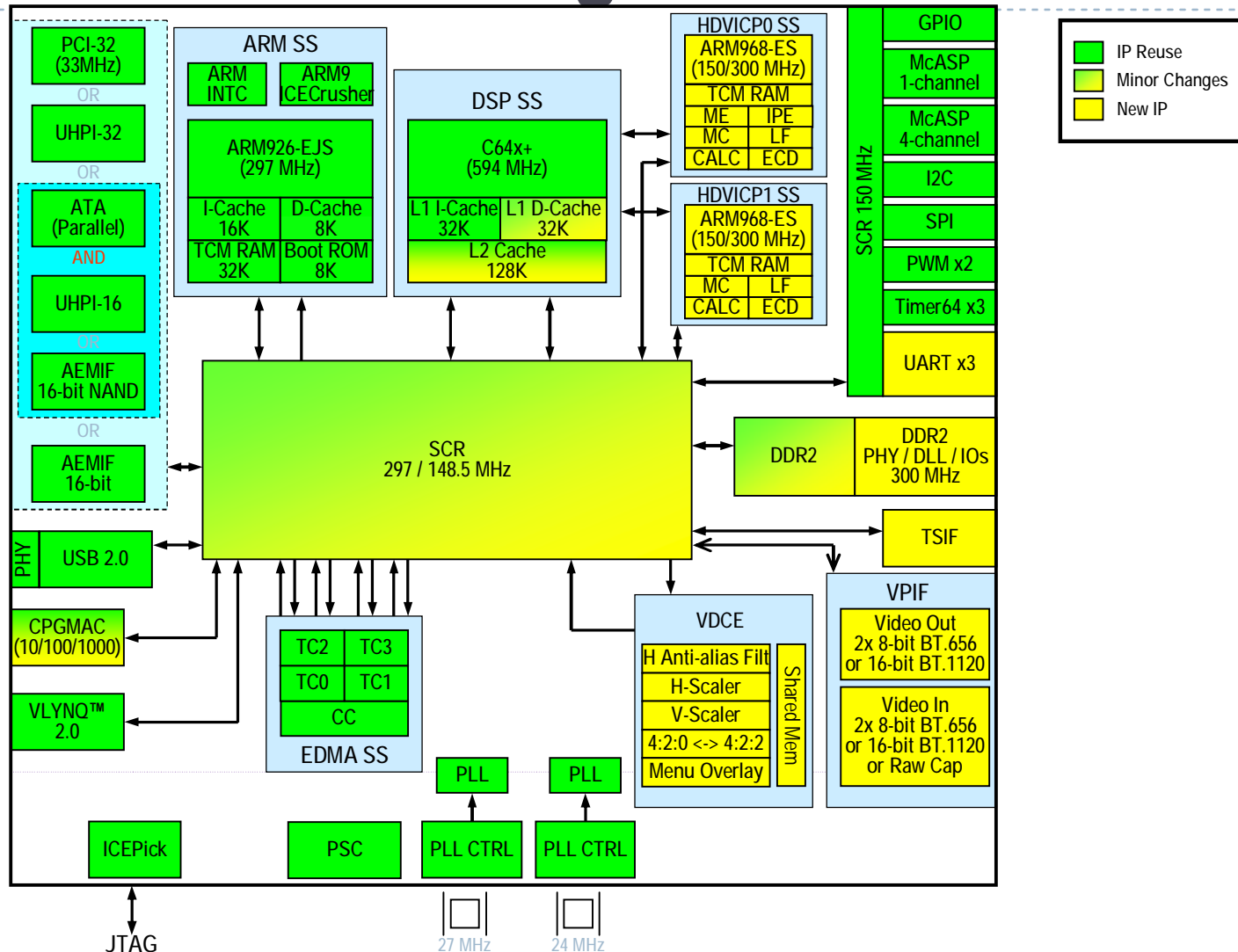
#### Connectivity

- Connectivity capabilities: USB 2.0, 10/100 EMAC
- Multiple on-board memory types: CompactFlash, ATA, SD, DDR
- Video input via NTSC/PAL
- Video output via NTSC/PAL and YPbPr/RGB
- CD-quality audio input and output
- Daughter card connections to most peripheral interfaces

#### Hardware

- Based on the DM6446
- Additional hardware components:
  - NTSC/PAL video camera
  - LCD screen, speakers and microphone
  - IR remote
  - Hard disk drive (2.5-inch 40 G)






# DM6467 Block Diagram



# DM6467 vs. DM6446

---

## ✓ Addition to DM6447

- ✓ PCI (32bit and 33Mhz)
- ✓ UHPI (16/32 bit mode)
-  ✓ Video Port
-  ✓ Video Data Conversion Engine (VDCE)
-  ✓ Transport Stream Interfaces (TSIF)
-  ✓ Clock Reference Generator (CRGEN)
-  ✓ 2 HDVICP – not covered here
- ✓ 2 McASP
- ✓ 3 UART

## ✓ Changed/Improved

- ✓ ARM (32KB RAM, 8KB ROM, 16KB I-Cache, and 8 KB D-Cache)
- ✓ GEM (64KB L1P ROM, 32KB L2D, and 128KB L2)
- ✓ SCR (297 Mhz VBUSM, 148.5 MHz VBUSP and CFG bus)
- ✓ DDR2 (297 MHz)
- ✓ 1Gbit Ethernet Mac
- ✓ EDMA (4 TC)

## ✓ Same as DM6446

- ✓ USB
- ✓ ATA
- ✓ GPIO
- ✓ PWM
- ✓ TIMER
- ✓ SPI
- ✓ VLYNQ

## ✓ Removed (DM6446 has them but DM6467 does not)

- ✓ ASP – Replaced by McASP
- ✓ MMC/SD
- ✓ VICP – Replaced by HDVICP
- ✓ VPSS – Replace by VPIF and VDCE

# 目标应用

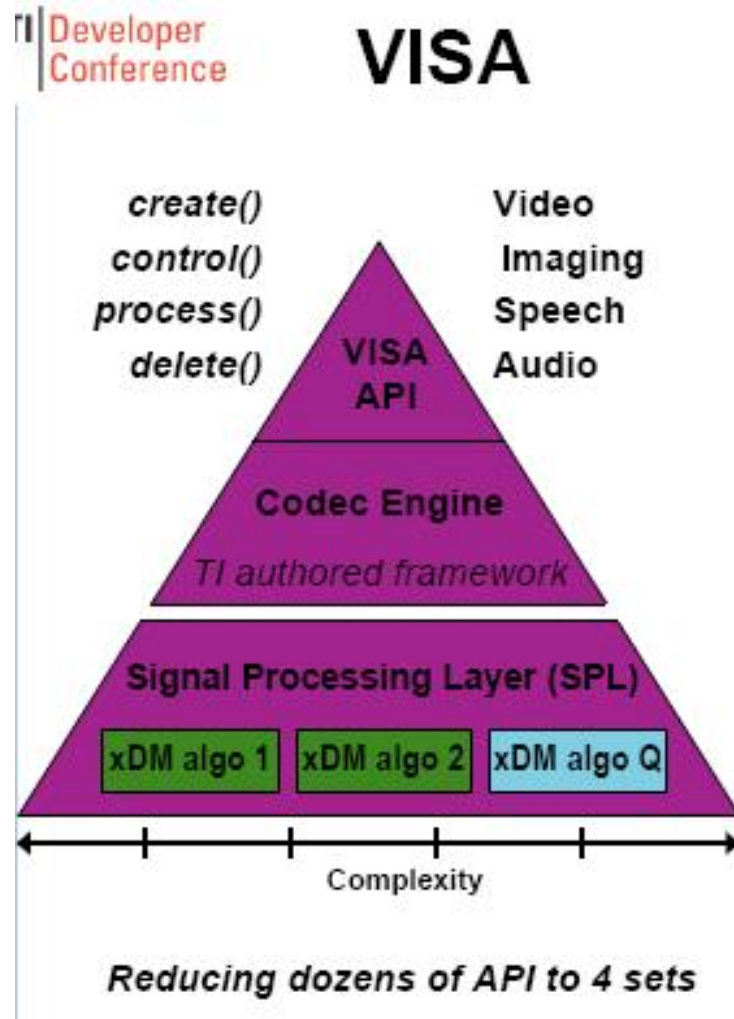
Trans Code	
MPEG2 HD	↔ H.264 HD
MPEG2 HD	↔ VC-1 HD
MPEG2 SD	↔ H.264 SD
MPEG2 SD	↔ VC-1 SD
MPEG2 HD	→ H.264 SD
MPEG2 HD	→ VC-1 SD

HD Decode
MPEG2 HD
H.264 HD
VC-1 HD

Trans Rate	
H.264 HD	→ H.264 HD
VC-1 HD	→ VC-1 HD

SD Encode/Decode
MPEG2 SD
H.264 SD
VC-1 SD

# VISA 的基本概念

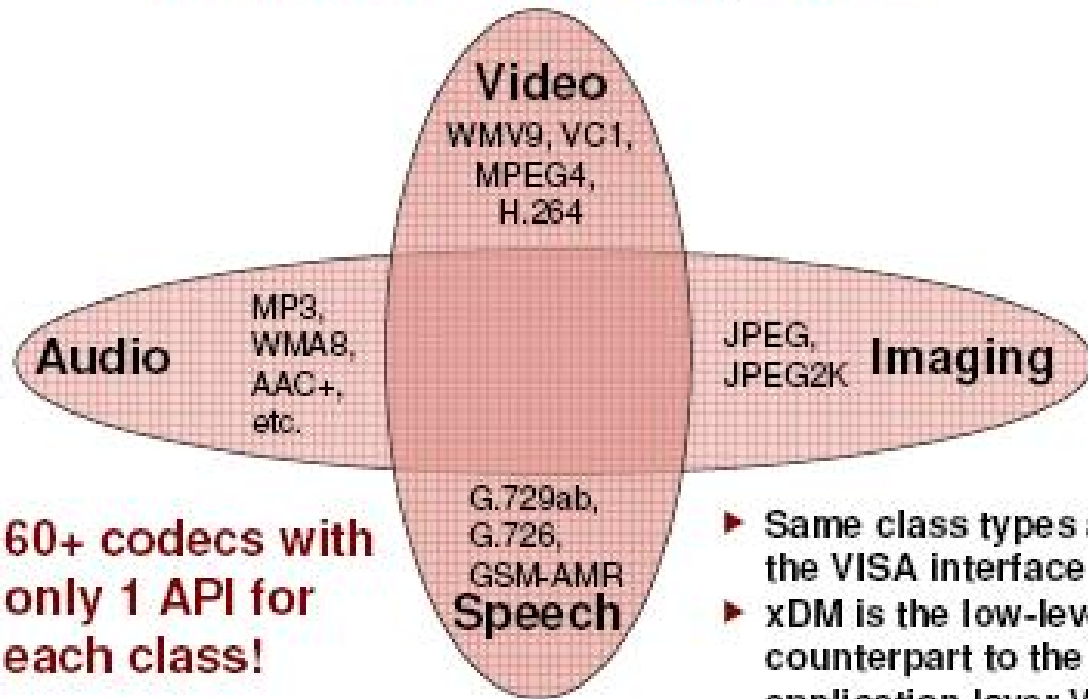


- ◆ Complexities of the Signal Processing Layer “SPL” are abstracted via the Codec Engine and VISA API
- ◆ VISA API are the user interface to the Codec Engine
- ◆ VISA = 4 processing domains :  
Video Imaging Speech Audio
- ◆ Separate API set for encode and decode
- ◆ Thus, a total of 8 API classes:  
VIDENC IMGENC SPHENC AUDENC  
VIDDEC IMGDEC SPHDEC AUDDEC
- ◆ Key API in each set (where “xxx” is one of the groups above):  
xxx\_create      xxx\_delete  
xxx\_process     xxx\_control
- ◆ The experienced DSP programmer can employ a ready-made Signal Processing Layer, create an SPL from packaged or ‘raw’ xDM algos, or author their own algos depending on their needs and skills with DSP

# 使用 VISA 的优点



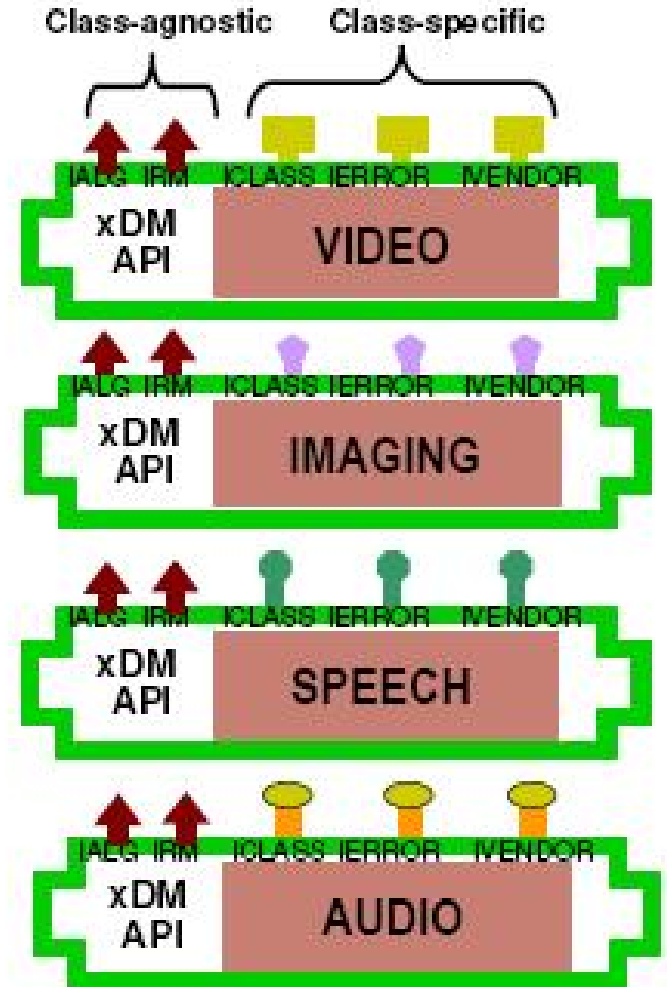
**60+ codecs with 60+ unique APIs!**



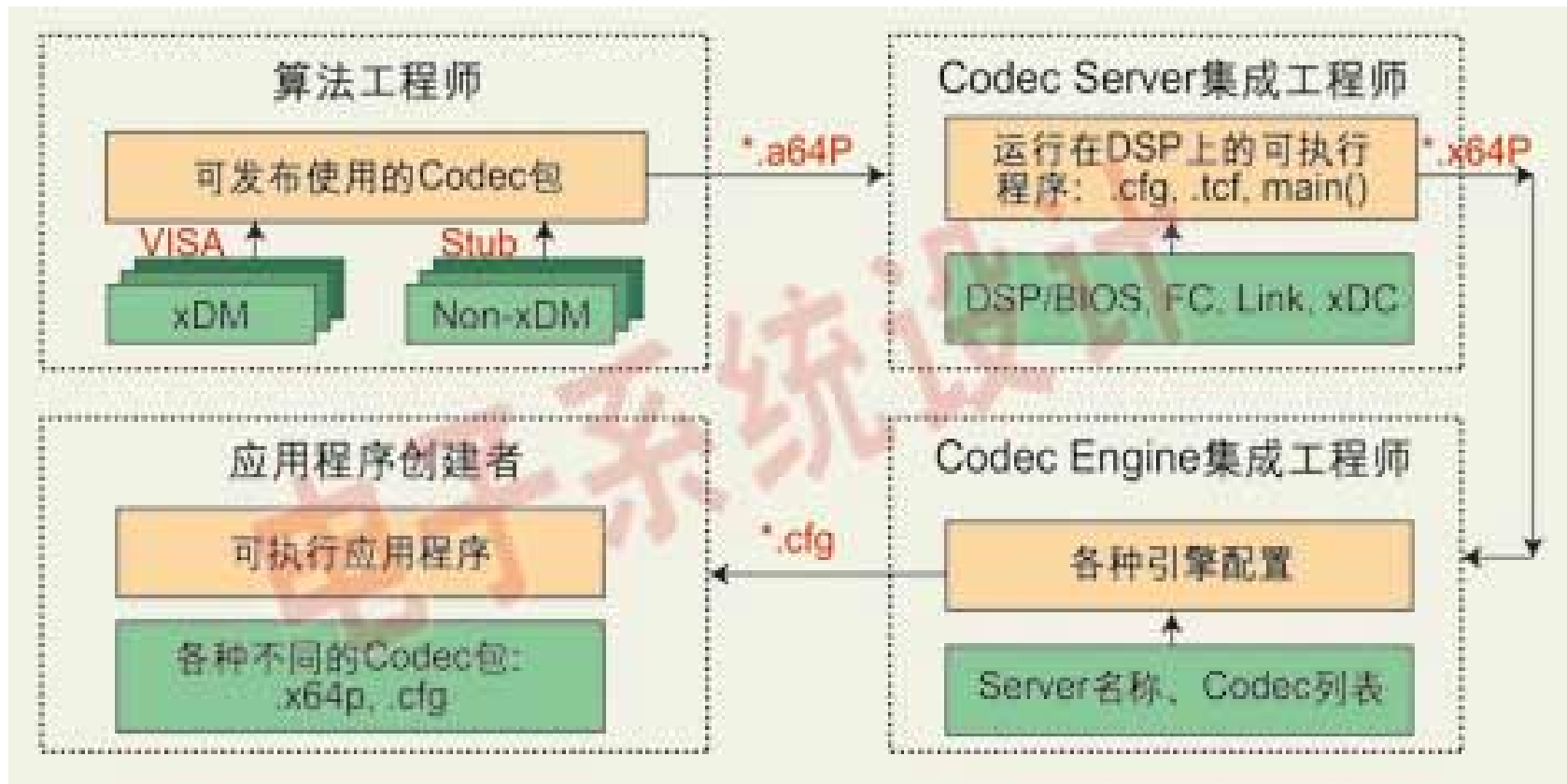
**60+ codecs with only 1 API for each class!**

- ▶ Same class types as the VISA interface
- ▶ xDM is the low-level counterpart to the application layer VISA interface

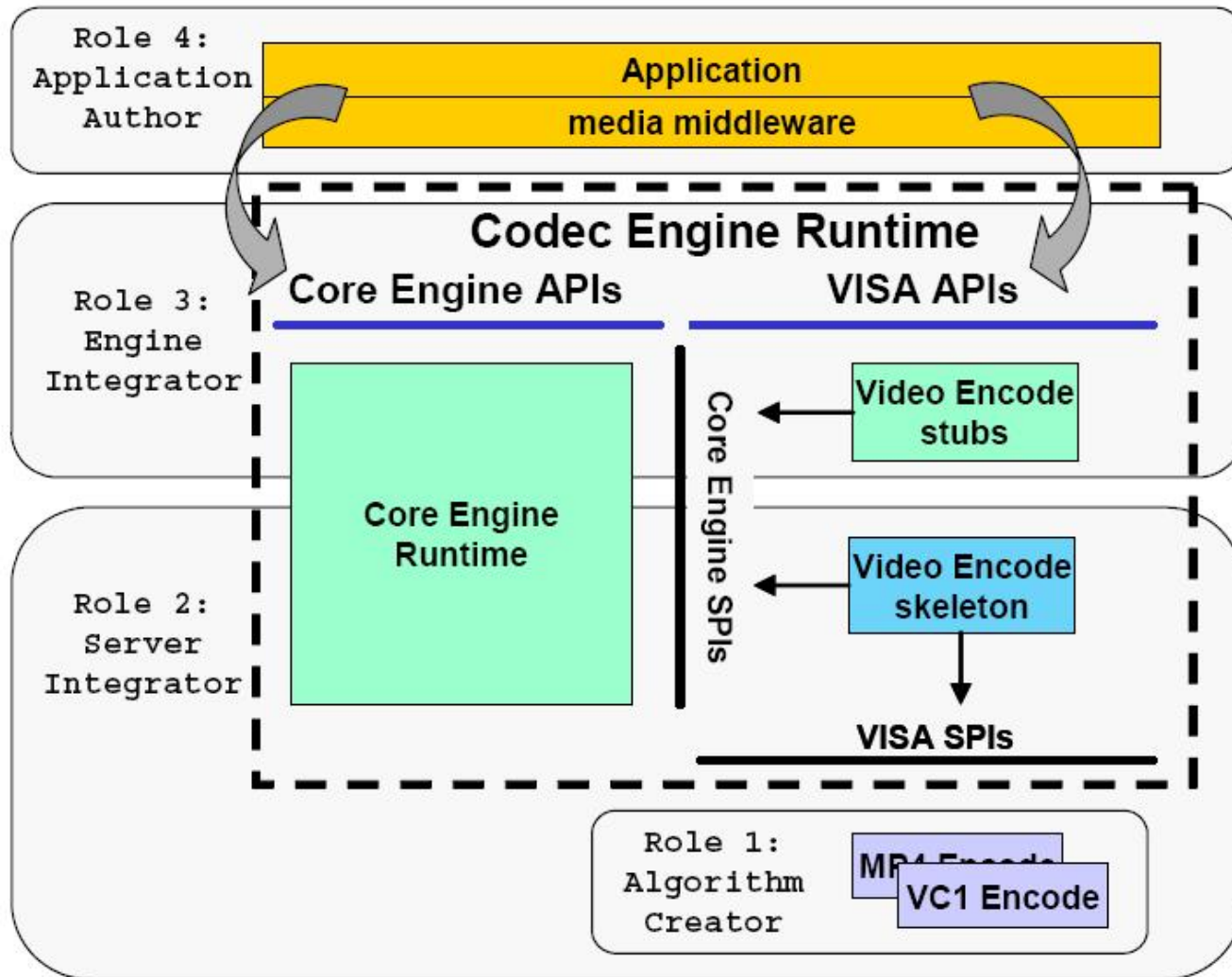
[www.hqyj.com](http://www.hqyj.com)



# 基于DaVinCi平台的软件开发流程



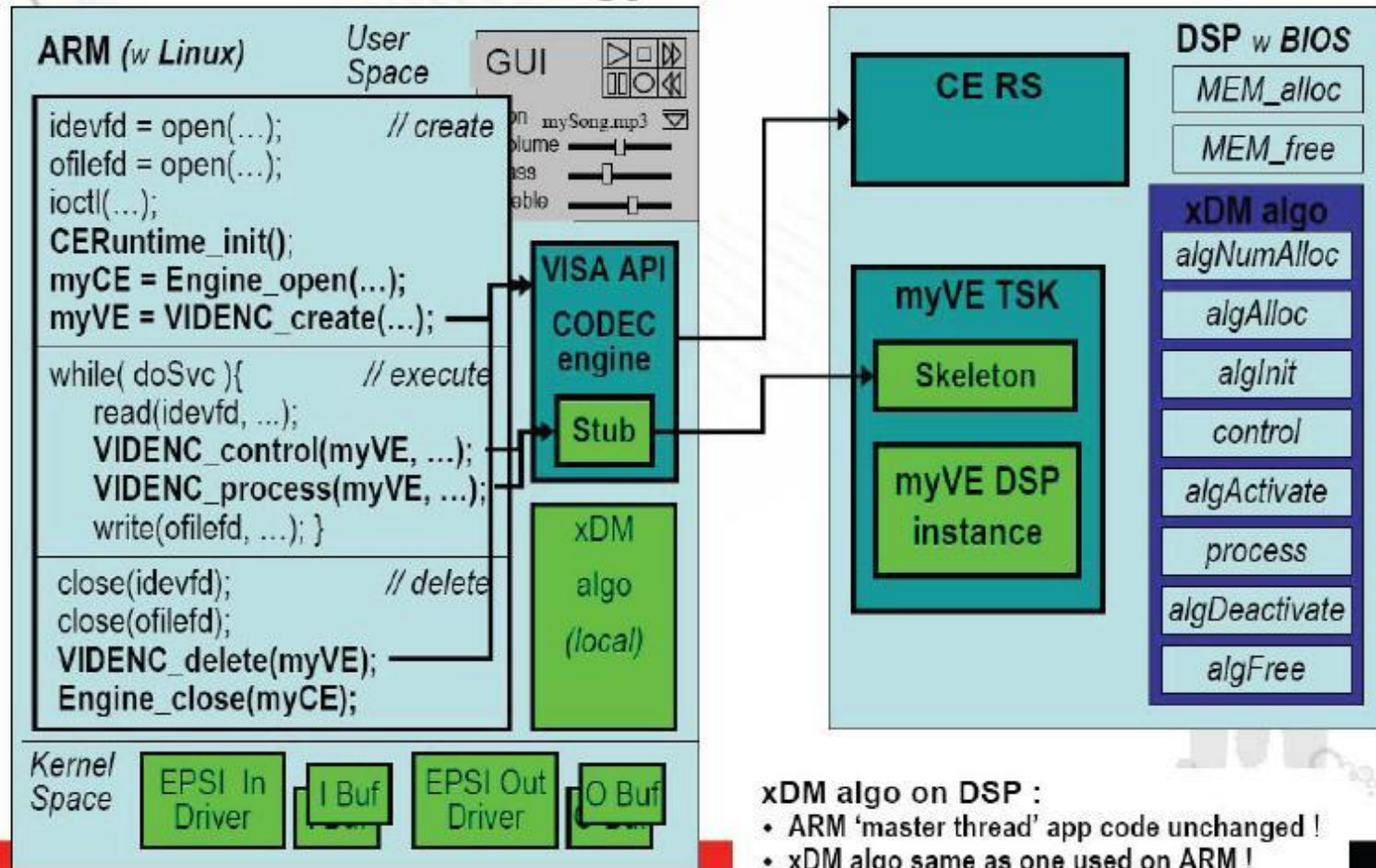
# 基于DaVinCi平台的软件开发流程



# 基于DaVinci平台的软件开发流程

TI Developer Conference

## DaVinci Technology Framework: ARM + DSP



### xDM algo on DSP :

- ARM 'master thread' app code unchanged !
- xDM algo same as one used on ARM !
- CODEC engine abstracts all detail from user !

# xDAIS和xDM算法接口标准

## **Required Algo Functions (IALG) – Common across all algos**

```

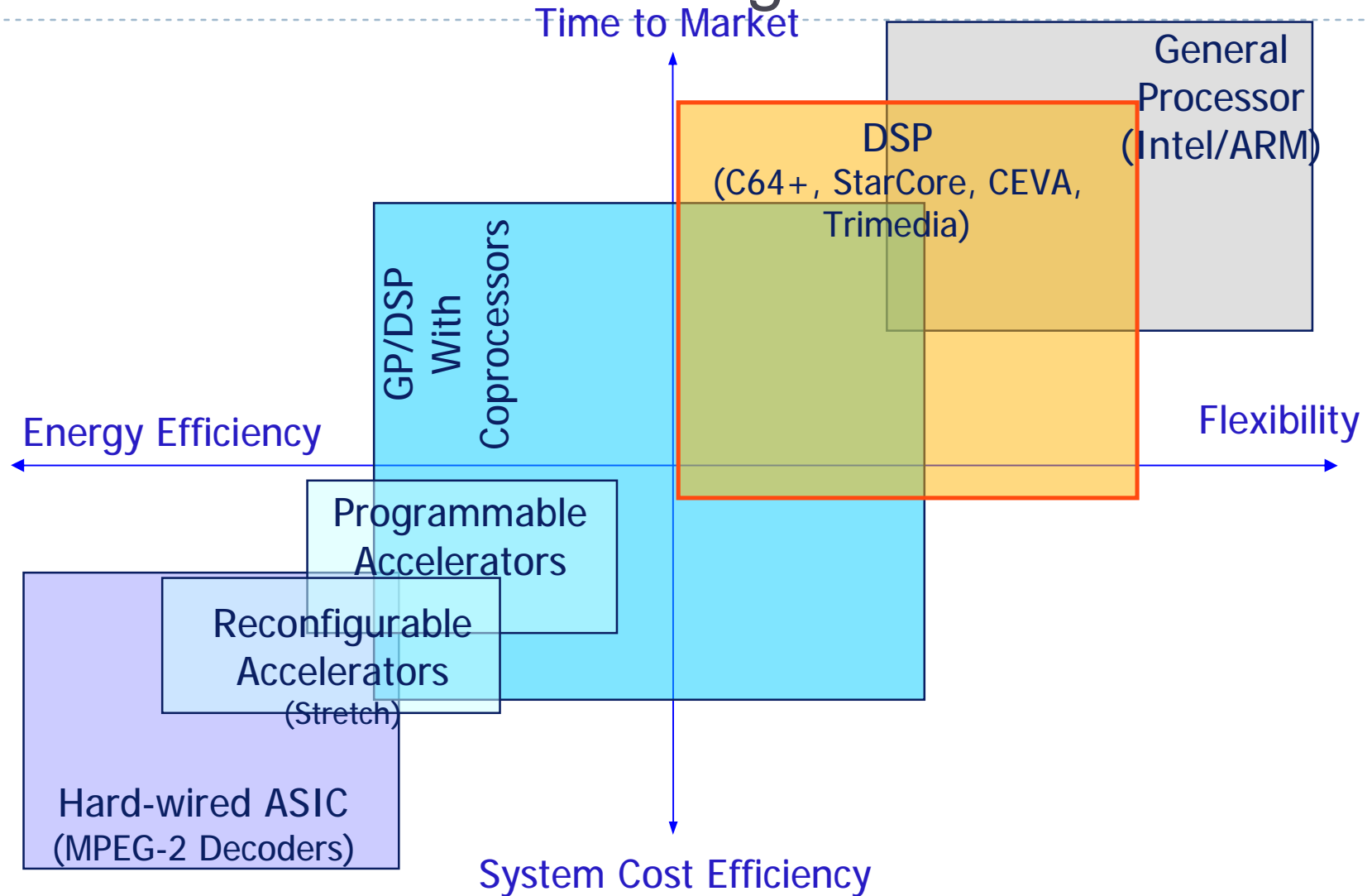
Void (*algActivate)    (IALG_Handle);
Int  (*algAlloc)      (const IALG_Params *, struct IALG_Fxns **, IALG_MemRec *);
Void (*algDeactivate) (IALG_Handle)
Int  (*algFree)       (IALG_Handle, IALG_MemRec *)
Int  (*algInit)       (IALG_Handle, const IALG_MemRec *, IALG_Handle, const IALG_Params *);
Void (*algMoved)      (IALG_Handle, const IALG_MemRec *, IALG_Handle, const IALG_Params *)
Int  (*algNumAlloc)   (Void)
    
```

## **Processing Functions (IMOD) – Unique to a given algo from a given author**

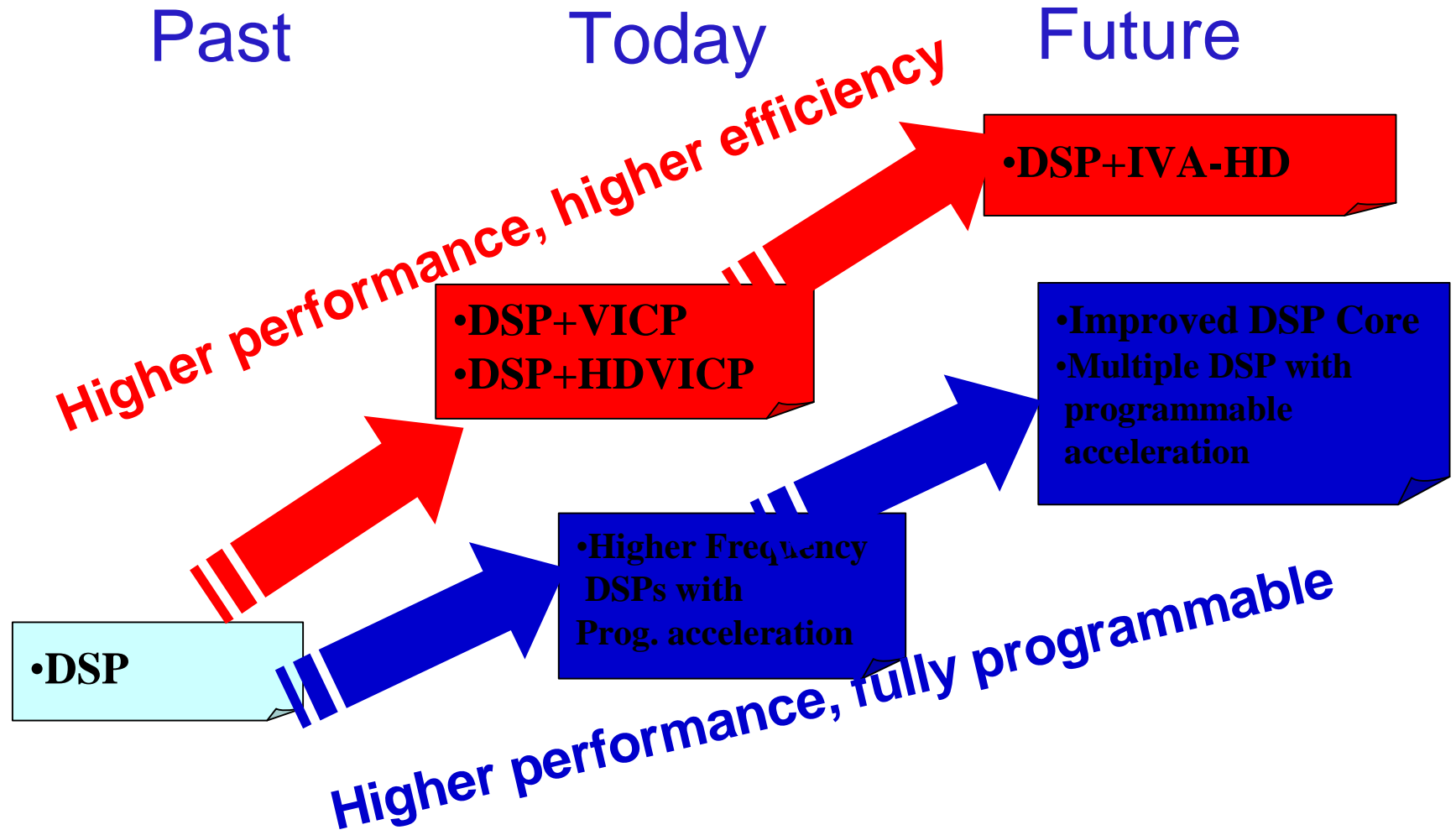
```

Int  (*process)        (IVIDDEC_Handle handle, XDM_BufDesc *inBufs, XDM_BufDesc *outBufs,
                        IVIDDEC_InArgs *inargs, IVIDDEC_OutArgs *outargs);
Int  (*control)        (IVIDDEC_Handle handle, IVIDDEC_Cmd id,
                        IVIDDEC_DynamicParams *params, IVIDDEC_Status *status)
    
```

# Video Acceleration Strategies



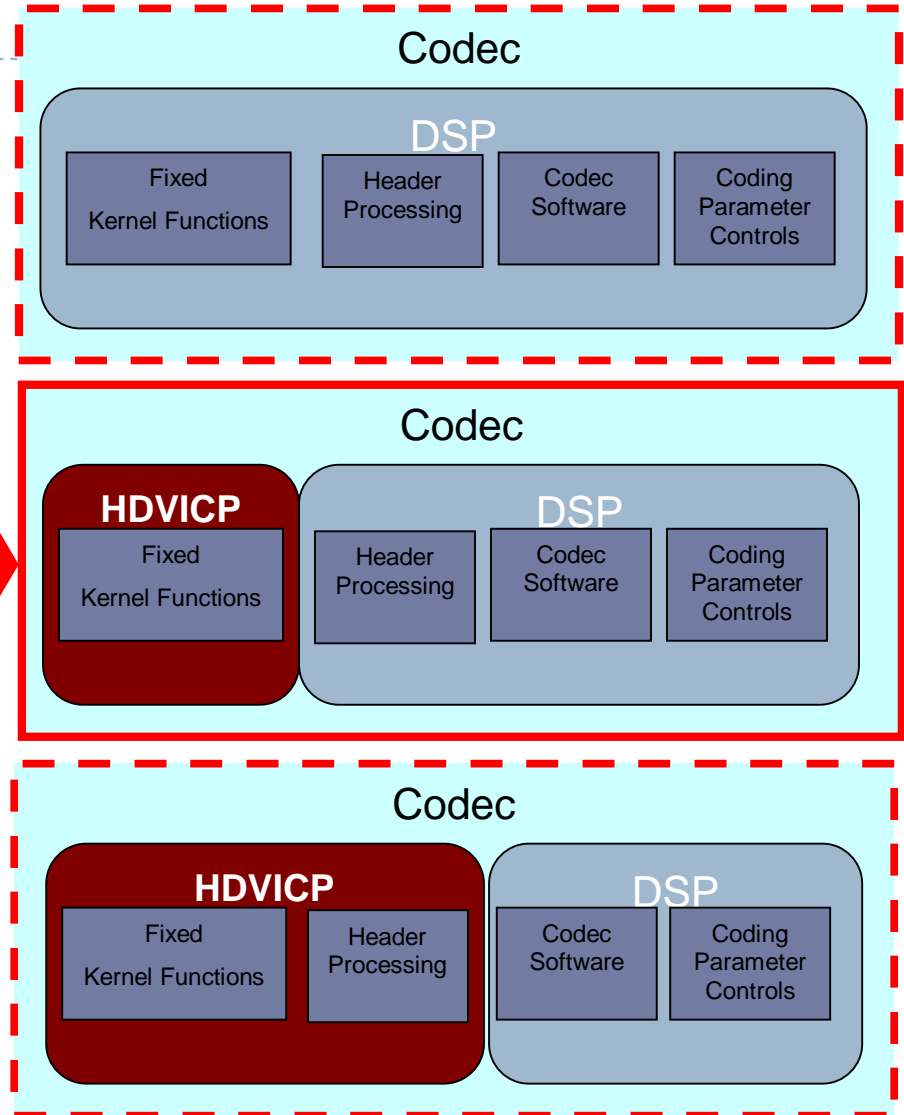
# Summary of TI Video Processing



# HDVICP Overview

- } Architecture
  - } Algorithm-specific hardware accelerators
  - } Multi-format
  - } All fixed kernel functions accelerated
  - } All programmable functions in DSP
  - } High-BW DMA data exchange
- } Performance
  - } Full HD Decoding (all profile)
  - } 720p single-silicon encoding (baseline profile)
  - } Multi-silicon scalability
  - } Minimum processing delay variation
- } Programming
  - } Full API support
  - } Command-driven, no assembler needed
  - } Configurable via register control
  - } MB-level codec control
- } Scalability
  - } Multi-format support
  - } Multi-channel support for sub-HD video
  - } High-BW DMA access to MB-level processing buffers for codec expansion

**We  
 Are  
 Here** →



# HDVICP Capability (based on DM6467 Implementation)

## HDTV (full 1080i) Decoding

MPEG2 (MP)  
 H.264 (BP)  
 VC1 (AP), WMV9

H.264 Encode <small>(ME= [+/-32,+24] forward and backward):</small>	DSP Load <small>(MCPS)</small>
SD	100
720p BP 30fps	172(I) 230(P)

## 720P@30 fps HD Encoding

MPEG2 (MP)  
 H.264 (BP)  
 VC1 (AP), WMV  
 H.263, MPEG-4 (SP/ASP)

H.264 High Profile Decode	DSP Load <small>(MCPS)</small>
SD	34(I) 49(P) 58(B)
1080i 60 fields per sec	204(I) 275(P) 348(B)

## SDTV Simultaneous Encode/Decode

MPEG2 (MP)  
 H.264 (MP)  
 VC1 (AP), WMV  
 H.263, MPEG4 (SP/ASP)

MPEG2->H.264 Transcoding	DSP Load <small>(MCPS)</small>
MP@HL->HP@4.0	450

## Transcoder

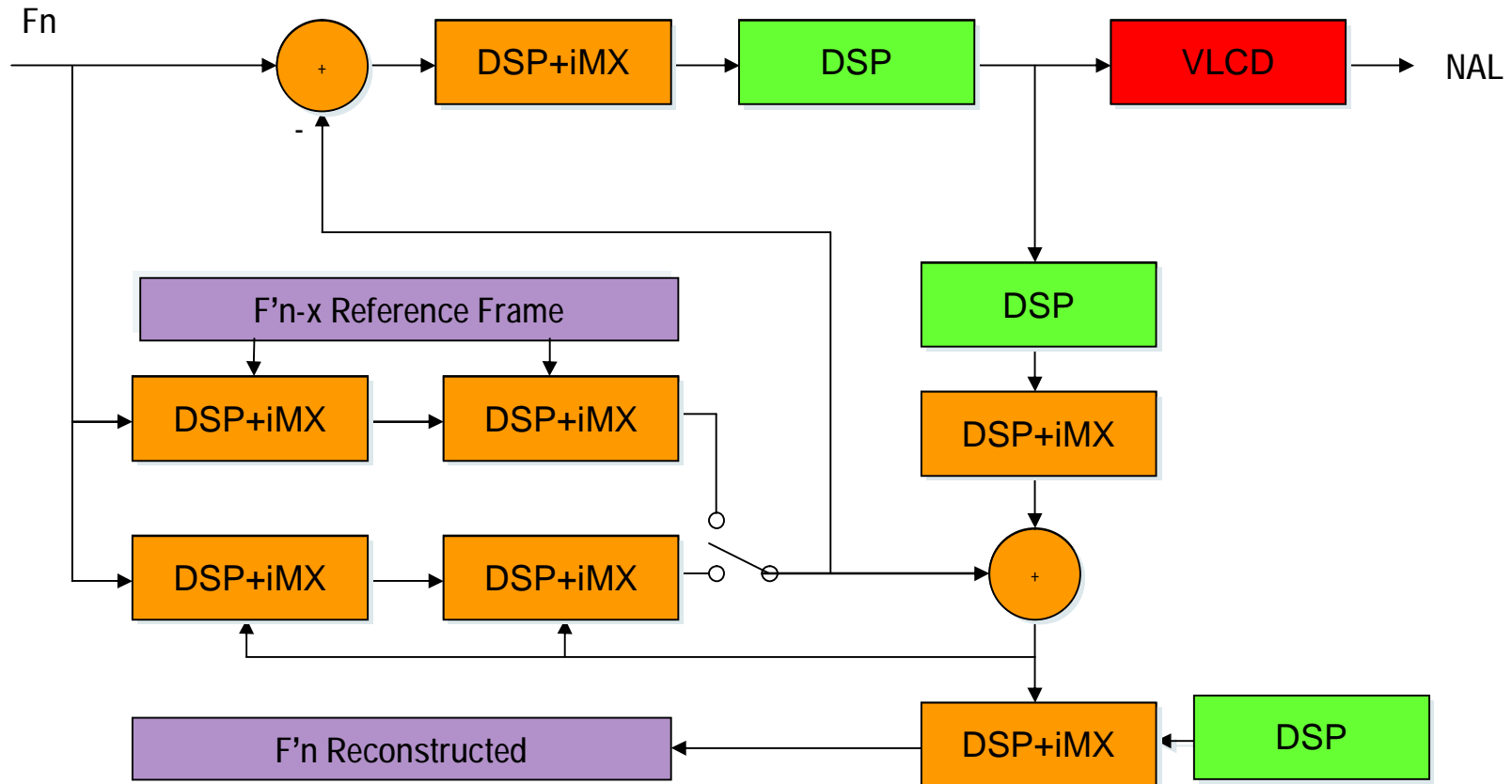
MPEG2(MP@HL) à H.264 HP Level4, VC1  
 MPEG2(MP@HL) à H.264 MP Level3, VC1  
 MPEG2(MP@ML) à H.264 MP Level3, VC1  
 MPEG2(MP@ML) à H.264 HP Level4, VC1

# Supported Standards

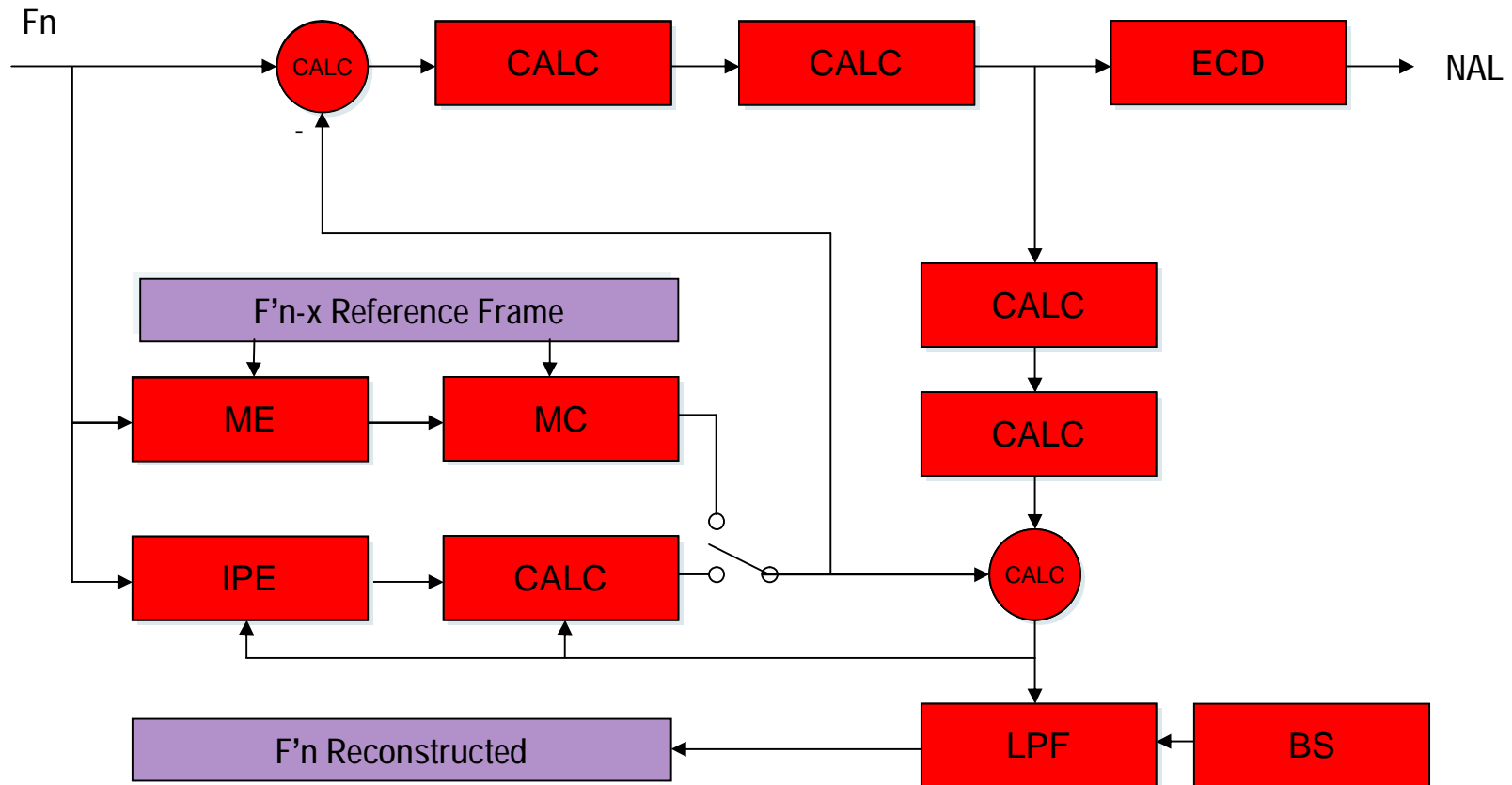
---

- } MPEG1/2
  - } ISO/IEC 11172-2
  - } ISO/IEC 13818-2
- } MPEG4/H.263
  - } ISO/IEC 14496-2
- } H.264
  - } ITU-T Rec.H.264 /ISO/IEC 14496-15, Part 10
- } VC1/WMV9
  - } SMPTE 421M

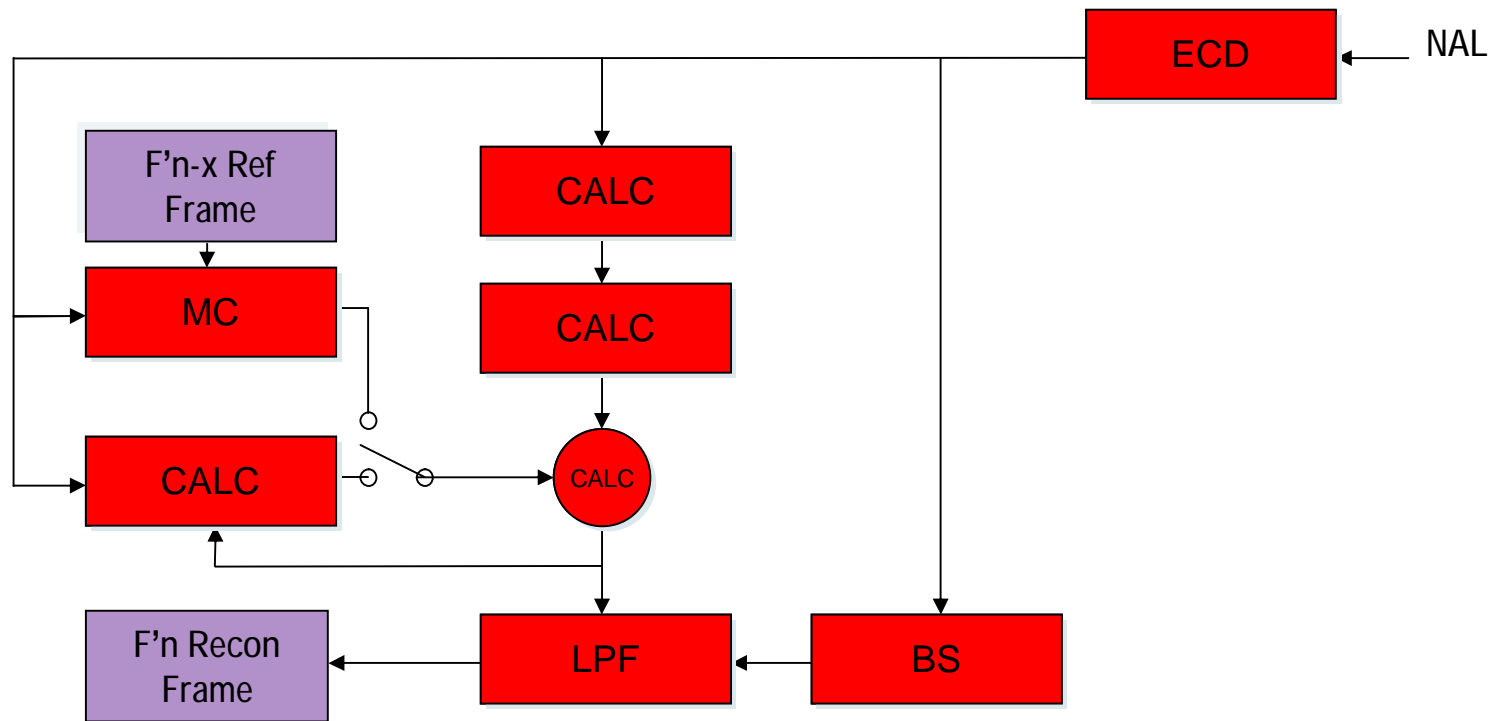
# Existing VICP Acceleration for < SD Resolution (Davinci)



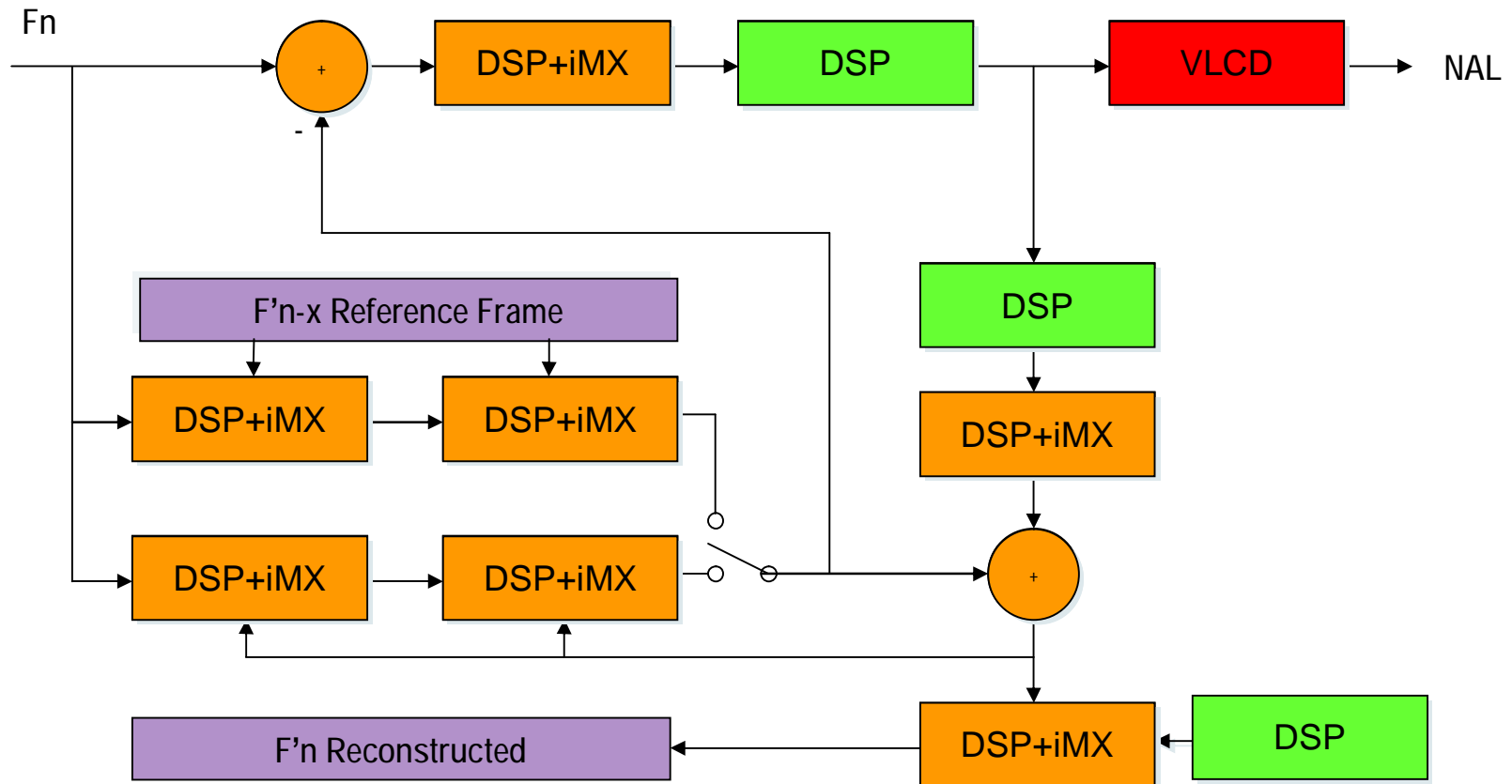
# HDVICP Acceleration - Encoder



# HDVICP Acceleration - Decoder



# Review: VICP



## 华清远见Davinci 课程介绍

---

### } **TI达芬奇(DaVinCi)开发高级培训班**

} 本课程面向准备使用达芬奇系列DSP的软件与系统工程师，介绍如何运用 TI 提供的各种软件驱动程序与框架组件快速构建各种应用系统。

# Q&A



谢谢!

